

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-130856  
 (43)Date of publication of application : 19.05.1995

(51)Int.Cl.

H01L 21/82

(21)Application number : 05-278055  
 (22)Date of filing : 08.11.1993

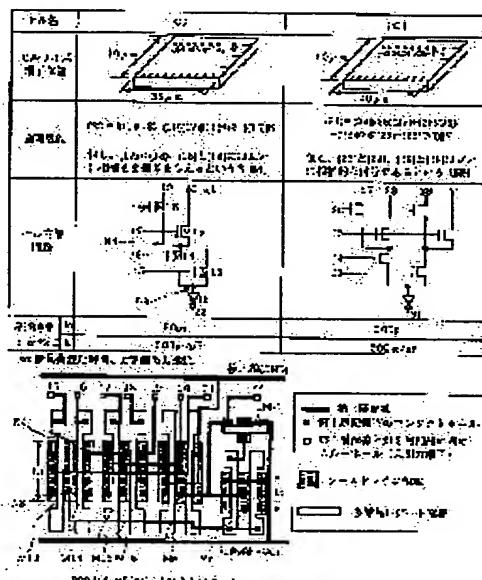
(71)Applicant: HITACHI LTD  
 (72)Inventor : YANO KAZUO  
 SASAKI YASUHIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD

## (57)Abstract:

PURPOSE: To fully drive the cell of a large-scale logic integrated circuit and to increase speed performance by making equal the internal circuits of the cells for achieving a variety of logics and changing the application mode of a plurality of input signals from the outside of a cell according to the logics.

CONSTITUTION: The source/drain path of a first MOS transistor 13, that of a second MOS transistor M14, that of a third MOS transistor M15, and that of a fourth MOS transistor are connected between a first node N3 and an input terminal 21, between a first node N3 and a second node N4, between the second node N4 and an input terminal 20, and between the second node N4 and an input terminal 19, respectively. The input and output of an output inverter 15 are connected to the first node N3 and an output terminal 22, respectively, where drain terminals 19-21 of the MOSFET are open and a different logic output can be obtained by changing the input application mode from the outside of the cell.



## LEGAL STATUS

[Date of request for examination] 13.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3144967

[Date of registration] 05.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-130856

(43)公開日 平成7年(1995)5月19日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/82識別記号  
8122-4M

F I

技術表示箇所  
B

審査請求 未請求 請求項の数11 O L (全23頁)

(21)出願番号 特願平5-278055

(22)出願日 平成5年(1993)11月8日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 矢野 和男  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 佐々木 靖彦  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(74)代理人 弁理士 小川 勝男

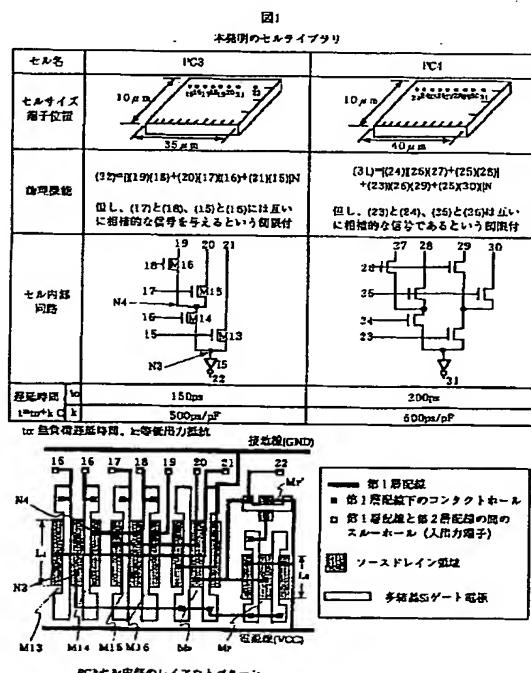
(54)【発明の名称】 半導体集積回路およびその製造方法

## (57)【要約】

【目的】 本発明は半導体集積回路に関し、その目的は短時間に、高性能、低成本の集積回路を提供することにある。

【構成】 セルは出力端子22からトリー状に接続された能動素子M13～M16のソース・ドレイン経路を介して複数の入力端子19～21に接続され、能動素子M13～M16のゲート電極は他の入力端子15～18に接続された内部回路接続を有する。このように内部回路接続、内部回路素子配置、入出力端子の配置が同一のセルを二つ同一チップ上に配置し、セル外部からの入力の信号印加形態を異ならせることで、二つのセルは異なる論理を実現可能となる。

【効果】 セルライブラリを用いたCADにより設計される集積回路回路のチップ面積が小さくでき、高速動作が可能となる。ASIC、マイクロプロセッサ等の高性能化、低成本化に顕著な効果がある。



## 〔特許請求の範囲〕

【請求項1】実質的に同一の内部回路接続および実質的に同一の内部回路素子配置を有する第1のセルと第2のセルとを少なくともチップ上の異なる位置に具備し、上記第1と上記第2のセルのそれぞれは、実質的に四角形の形状を有するとともに、第1、第2、第3、第4の能動素子と、出力增幅回路と、第1ノードと、第2ノードと、第1、第2、第3、第4、第5、第6と第7の入力端子と、第1動作電位点が供給される第1動作電位供給線と、第2動作電位点が供給される第2動作電位供給線とを含んでなり、

上記第1と上記第2のセルのそれぞれのセルの内部で、上記出力增幅回路は上記第1動作電位供給線と上記第2動作電位供給線とに接続されることにより動作電位が供給され、

上記第1の能動素子のゲート電極は上記第1の入力端子に接続され、

上記第2の能動素子のゲート電極は上記第2の入力端子に接続され、

上記第3の能動素子のゲート電極は上記第3の入力端子に接続され、

上記第4の能動素子のゲート電極は上記第4の入力端子に接続され、

上記第1の能動素子のソース・ドレイン経路は上記第1ノードと上記第7の入力端子との間に接続され、

上記第2の能動素子のソース・ドレイン経路は上記第1ノードと上記第2ノードとの間に接続され、

上記第3の能動素子のソース・ドレイン経路は上記第2ノードと上記第6の入力端子との間に接続され、

上記第4の能動素子のソース・ドレイン経路は上記第2ノードと上記第5の入力端子との間に接続され、

上記出力增幅回路の入力と出力とはそれぞれ上記第1ノードと上記出力端子とに接続され、

上記第1と上記第2のセルの一方のセルはその外部から、

上記第1の入力端子に第1の入力信号が印加され、

上記第2の入力端子に上記第1の入力信号と逆相の第2の入力信号が印加され、

上記第3の入力端子に第3の入力信号が印加され、

上記第4の入力端子に上記第3の入力信号と逆相の第4の入力信号が印加され、

上記第5の入力端子と上記第6の入力端子と上記第7の入力端子のうちの少なくとも2つの入力端子は上記第1、上記第2、上記第3、上記第4の入力信号の信号と異なる信号が印加されてなることを特徴とする半導体集積回路。

【請求項2】上記一方のセルの上記第5の入力端子と上記第6の入力端子と上記第7の入力端子のうちの上記異なる信号が印加される少なくとも1つの入力端子は上記第1動作電位供給線と上記第2動作電位供給線といずれ

か一方に接続されてなることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】上記第1動作電位供給線と上記第2動作電位供給線とは実質的に平行に配置されてなり、上記第1動作電位供給線と上記第2動作電位供給線との間に上記一方のセルの上記第1、上記第2、上記第3、上記第4の能動素子と上記出力增幅回路とが配置されたことを特徴とする請求項2に記載の半導体集積回路

【請求項4】上記一方のセルにおいて、上記第1動作電位供給線および上記第2動作電位供給線の長手方向と略直交する方向に、上記第1の能動素子、上記第2の能動素子、上記第3の能動素子、上記第4の能動素子、上記出力增幅回路を構成する二つの能動素子のそれぞれのゲート電極の長手方向は配置されてなることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】上記一方のセルにおいて、上記出力增幅回路を構成する上記二つの能動素子のそれぞれは、そのゲート電極が共通接続され、そのソース・ドレイン経路が並列接続された複数の能動素子からなることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】実質的に同一の内部回路接続および実質的に同一の内部回路素子配置を有する第1のセルと第2のセルとを少なくともチップ上の異なる位置に具備し、上記第1と上記第2のセルのそれぞれは、実質的に四角形の形状を有するとともに、第1、第2、第3、第4の能動素子と、第1と第2のインバータと、出力增幅回路と、第1ノードと、第2ノードと、第1、第2、第3、第4と第5の入力端子と、出力端子と、第1動作電位点が供給される第1動作電位供給線と、第2動作電位点が供給される第2動作電位供給線とを含んでなり、

上記第1と上記第2のセルのそれぞれのセルの内部で、上記出力增幅回路は上記第1動作電位供給線と上記第2動作電位供給線とに接続されることにより動作電位が供給され、

上記第2の能動素子のゲート電極は上記第1の入力端子に接続され、

上記第4の能動素子のゲート電極は上記第2の入力端子に接続され、

上記第1のインバータの入力と出力とは上記第1の入力端子と上記第1の能動素子のゲート電極とにそれぞれ接続され、

上記第2のインバータの入力と出力とは上記第2の入力端子と上記第3の能動素子のゲート電極とにそれぞれ接続され、

上記第1の能動素子のソース・ドレイン経路は上記第1ノードと上記第5の入力端子との間に接続され、

上記第2の能動素子のソース・ドレイン経路は上記第1ノードと上記第2ノードとの間に接続され、

上記第3の能動素子のソース・ドレイン経路は上記第2ノードと上記第4の入力端子との間に接続され、

上記第4の能動素子のソース・ドレイン経路は上記第2ノードと上記第3の入力端子との間に接続され、上記出力增幅回路の入力と出力とはそれぞれ上記第1ノードと上記出力端子とに接続され、上記第1と上記第2のセルの一方のセルはその外部から、

上記第1の入力端子に第1の入力信号が印加され、  
上記第2の入力端子に第2の入力信号が印加され、  
上記第3の入力端子と上記第4の入力端子と上記第5の  
入力端子のうちの少なくとも2つの入力端子は上記第1  
と上記第2の入力信号の信号と異なる信号が印加されて  
なることを特徴とする半導体集積回路。

【請求項7】上記一方のセルの上記第3の入力端子と上記第4の入力端子と上記第5の入力端子のうちの上記異なる信号が印加される少なくとも1つの入力端子は上記第1動作電位供給線と上記第2動作電位供給線といずれか一方に接続されることを特徴とする請求項6に記載の半導体集積回路。

【請求項8】上記第1動作電位供給線と上記第2動作電位供給線とは実質的に平行に配置されてなり、

上記第1動作電位供給線と上記第2動作電位供給線との間に上記一方のセルの上記第1、上記第2、上記第3、上記第4の能動素子と上記出力增幅回路とが配置されたことを特徴とする請求項7に記載の半導体集積回路。

【請求項9】上記一方のセルにおいて、上記第1動作電位供給線および上記第2動作電位供給線の長手方向と略直交する方向に、上記第1の能動素子、上記第2の能動素子、上記第3の能動素子、上記第4の能動素子、上記出力增幅回路を構成する二つの能動素子のそれぞれのゲート電極の長手方向は配置されてなることを特徴とする請求項8に記載の半導体集積回路。

【請求項10】上記一方のセルにおいて、上記出力増幅回路を構成する上記二つの能動素子のそれぞれは、そのゲート電極が共通接続され、そのソース・ドレイン経路が並列接続された複数の能動素子からなることを特徴とする請求項9に記載の半導体集積回路。

【請求項11】請求項1または請求項6のいずれかに記載の上記第1と上記第2のセルとに実質的に同一の入出力端子位置および内部回路素子配置を電子計算機の記憶手段に予め登録する第1の工程と、  
上記第1の工程で登録された上記セルの上記入出力端子位置および上記内部回路素子配置を上記記憶手段から読み出し、該読み出した上記セルの外部の信号印加形態を指定する第2の工程と。

上記第2の工程で指定された上記セルの外部の信号印加形態に従ってレイアウトパターンを半導体基板上に転写する第3の工程とを含むことを特徴とする半導体集積回路の製造方法。

## 【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】本発明は、半導体集積回路およびその製造方法にかかわり、特に、特定用途向け集積回路(A S I C)、マイクロプロセッサ、マイクロコントローラ、信号処理プロセッサ等の集積回路およびこれらを効率よく製造する製造方法に関する。

[0002]

【従来の技術】従来、大規模な論理回路を実現する際に、ゲートアレー、スタンダードセル（あるいはセルベース集積回路）等の方式が広く用いられている。これら

10 の集積回路においては、セルと呼ばれる部分回路をあらかじめ用意しておくのが特徴である。セルとは、マスクパターンのレイアウトが済んだNAND、NOR等の小規模の論理回路である。通常、マスクレイアウトの他に入出力端子の位置、動作速度が定められている。このセルに関する情報を集積回路設計支援用の大型電子計算機の補助記憶装置まとめたものが、セルライブラリ（マクロセルライブラリ、マクロライブラリ、デバイスライブラリ、標準セルライブラリ等と呼ばれることがある）である。

20 【0003】このような所謂CAD用のセルライブラリが予め用意されていれば、セルをチップ上に配置し、セルの端子間を配線で接続するだけで目的の論理機能を有する集積回路を実現することができる。従って、トランジスタレベルの回路動作やレイアウトを考慮せず論理設計を行うことができるので、目的の機能を有する集積回路が短時間に作製できる。

【0004】また、本発明に関連した別の関連技術として、バストランジスタ回路があげられる。バストランジスタ回路を用いると、2入力のAND、OR、排他的論理和(XOR)等の論理が、同一の内部回路接続を用い、外部からの2入力信号とその反転2入力信号(すなわち、2つの相補入力信号)の印加形態を変更することにより、通常のCMOS回路より少ない面積で、かつ高速に実現できることが知られている。このバストランジスタ回路に関する公知技術としては、文献J.H.Pasternak, et al., IEEE Circuits and Devices, July 1993, PP 23-28および文献K. Yano et. al., IEEE Journal of Solid-State Circuits, Vol. 25, No. 2, pp388-395 (1990)が挙げられる。さらに、これらの文献においては、この

30 バストランジスタ回路の手法を用いて3入力のOR, AND, XOR等の論理を構成するためには、XORを構成するための内部回路接続がOR, ANDを構成するための内部回路接続と異なるとともに、XORを構成するための3入力の信号印加形態がOR, ANDを構成するための3入力の信号印加形態と異なることが記載されている。一方、1992年電子情報通信学会春季大会C-560の第5-181頁に掲載されたY.Kado, et alによる文献「CMOS/SIMOXプロセスを用いたバストランジスタ論理ゲートの速度性能」には、バストランジスタのソーライン経路に出力電圧增幅用のインバータが接続

40

50

されるとともに、1つのバストランジスタのドレインとゲートとがそれぞれ相補入力信号もしくは同一入力信号で駆動される場合には、ドレインの入力信号を接地レベル $V_{ss}$ もしくは電源電圧レベル $V_{dd}$ とすることにより、速度性能を向上した2入力NAND／ANDゲート回路が開示されている。

【0005】

【発明が解決しようとする課題】従来のゲートアレー、スタンダードセル等の大規模論理集積回路で使用される複数のセルは、その論理が異なれば、その内部回路接続が異なっている。従って、通常、大規模論理集積回路を実現するためのセルライブラリは、60個以上の多数のセルを含むのが普通である。このような多数のセルを準備するのには、多大なる労力を必要とする。なぜなら、それぞれのセルの内部回路接続、入出力端子位置を定め、マスクレイアウトを行ない、遅延時間を評価することが必要だからである。しかし、この労力削減のため、セル数を減らしてしまうと、必要な論理がセルとしては用意されていない場合が多くなる。このような場合には、2個以上のセルを組み合わせて、必要とされる論理を実現することが必要になる。その結果、集積回路の面積や遅延時間や消費電力が大きくなってしまう。従って、登録するセル数を減らすことは性能面で現実的な解決策ではない。さらに重要な点は、この60個もの多数のセルを用意しても、実際に用いる論理機能のわずか一部分だけが実現されているにすぎない。例えば、3入力の論理は全部で256種類もあり、4入力の論理は65536種類もある。従って、3入力、4入力という単純な論理を実現するのにも、実際にはセルライブラリの多くのセルを組み合わせて論理機能を実現することが必要となる。このようなセルの組み合わせによって実現した集積回路は、目的とする論理機能に最も適した回路構成とはいえない。速度、面積、電力いずれにおいても最適な回路に比べ劣るという問題がある。

【0006】J.H.Pasternak, et alによる上記の文献には、バストランジスタ回路を用いたスタンダードセル設計の手法により2入力および3入力のOR, AND, X-ORの論理を実現する方法が示されている。この論文に紹介された2入力および3入力のOR, ANDの論理を実現するスタンダードセルを、スタンダードセルに関する現在の当業者の常識に沿って詳しく具体的に示すと図5のようになる。このセルの入力は2入力または3入力であるため、セル内部に信号反転用のインバータを配置する必要がある。従って、図5に示すようなセル内部回路のトランジスタのソース・ドレイン領域、ゲート電極等のマスクパターンのレイアウトを予め済ましてから、このセルの内部接続を行うことによりバストランジスタを用いたORまたはANDの論理を実現する論理回路を提供することができる。この簡単な例を図5の下図に示す。しかし、このセルでは、セル内のバストランジスタ

のソース・ドレイン経路がセルの出力端子に直接されているために、セル出力の駆動能力がバストランジスタのオン抵抗で制限される。特に、3入力の回路では、2つのバストランジスタのソース・ドレイン経路が入力端子と出力端子との間に直列接続されているため、このセル出力の駆動能力は著しく低いと言う欠点が有る。また、このセルでは信号反転用のインバータを配置する必要があるので、セル面積が大きいと言う欠点がある。一方、K.Yano, et alの上記文献およびY.Kado, et alの上記文献に記載されたバストランジスタ回路には複数の相補入力信号が印加されることにより、回路内部での信号反転用のインバータが省略され、またバストランジスタのソース・ドレイン経路には出力電圧增幅用のインバータが接続されているが、CAD用のセルライブラリのセルにこのバストランジスタ回路を用いると言う概念は示唆されていない。

【0007】本発明はCAD用のセルライブラリを用いて設計される集積回路で種々の論理を実現するセルの内部回路を同一とし、目的とする論理に応じてセル外部からの複数の入力信号の印加形態を変更するだけで目的とする論理を実現可能な大規模論理集積回路を開発するに際してなされたものであり、特にその目的とするところは、この種の大規模論理集積回路のセルを大駆動能力とともに、さらに、速度性能を向上することを可能とすることにある。

【0008】

【課題を解決するための手段】上記目的を達成するための本発明の一実施形態による半導体集積回路は、実質的に同一の内部回路接続および実質的に同一の内部回路素子配置を有する第1のセル(図3の31)と第2のセル(図3の32)とを少なくともチップ上の異なる位置に具備し、上記第1と上記第2のセルのそれぞれは、実質的に四角形の形状を有するとともに、第1、第2、第3、第4の能動素子(図1のM13, M14, M15, M16)と、出力增幅回路(図1のI5)と、第1ノード(N3)と、第2ノード(N4)と、第1、第2、第3、第4、第5、第6と第7の入力端子(15, 16, 17, 18, 19, 20, 21)と、出力端子(22)と、第1動作電位点( $V_{cc}$ )が供給される第1動作電位供給線と、第2動作電位点(GND)が供給される第2動作電位供給線とを含んでなり、上記第1と上記第2のセルのそれぞれのセルの内部で、上記出力增幅回路(I5)は上記第1動作電位供給線と上記第2動作電位供給線とに接続されることにより動作電位が供給され、上記第1の能動素子(M13)のゲート電極は上記第1の入力端子(15)に接続され、上記第2の能動素子(M14)のゲート電極は上記第2の入力端子(16)に接続され、上記第3の能動素子(M15)のゲート電極は上記第3の入力端子(17)に接続され、上記第4の能動素子(M16)のゲート電極は上記第4の入力端子(18)に接続され、上記第1の能動

素子(M13)のソース・ドレイン経路は上記第1ノード(N3)と上記第7の入力端子(21)との間に接続され、上記第2の能動素子(M14)のソース・ドレイン経路は上記第1ノード(N3)と上記第2ノード(N4)との間に接続され、上記第3の能動素子(M15)のソース・ドレイン経路は上記第2ノード(N4)と上記第6の入力端子(20)との間に接続され、上記第4の能動素子(M16)のソース・ドレイン経路は上記第2ノード(N4)と上記第5の入力端子(19)との間に接続され、上記出力增幅回路(I5)の入力と出力とはそれぞれ上記第1ノード(N3)と上記出力端子(22)とに接続され、上記第1と上記第2のセルの一方のセル(図3の32)はその外部から、上記第1の入力端子(15)に第1の入力信号(A)が印加され、上記第2の入力端子(16)に上記第1の入力信号(A)と逆相の第2の入力信号(AN)が印加され、上記第3の入力端子(17)に第3の入力信号(B)が印加され、上記第4の入力端子(18)に上記第3の入力信号(B)と逆相の第4の入力信号(AN)が印加され、上記第5の入力端子(19)と上記第6の入力端子(20)と上記第7の入力端子(21)のうちの少なくとも2つの入力端子(19, 20)は上記第1、上記第2、上記第3、上記第4の入力信号(A, AN, B, BN)の信号と異なる信号((C · D · E)N, Vcc)が印加されてなることを特徴とするものである。

【0009】本発明の他の一実施形態による半導体集積回路は、実質的に同一の内部回路接続および実質的に同一の内部回路素子配置を有する第1のセル(図3の31)と第2のセル(図3の32)とを少なくともチップ上の異なる位置に具備し、上記第1と上記第2のセルのそれぞれは、実質的に四角形の形状を有するとともに、第1、第2、第3、第4の能動素子(図1のM13, M14, M15, M16)と、第1と第2のインバータと、出力增幅回路(図1のI5)と、第1ノード(N3)と、第2ノード(N4)と、第1、第2、第3、第4と第5の入力端子(16, 18, 19, 20, 21)と、出力端子(22)と、第1動作電位点(Vcc)が供給される第1動作電位供給線と、第2動作電位点(GND)が供給される第2動作電位供給線とを含んでなり、上記第1と上記第2のセルのそれぞれのセルの内部で、上記出力增幅回路(I5)は上記第1動作電位供給線と上記第2動作電位供給線とに接続されることにより動作電位が供給され、上記第2の能動素子(M14)のゲート電極は上記第1の入力端子(16)に接続され、上記第4の能動素子(M16)のゲート電極は上記第2の入力端子(18)に接続され、上記第1のインバータの入力と出力とは上記第1の入力端子(16)と上記第1の能動素子(M13)のゲート電極とそれぞれ接続され、上記第2のインバータの入力と出力とは上記第2の入力端子(18)と上記第3の能動素子(M15)のゲート電極とそれぞれ接続され、上記第1の能動素子(M13)のソース・ドレイン経路は上記第1

ノード(N3)と上記第5の入力端子(21)との間に接続され、上記第2の能動素子(M14)のソース・ドレイン経路は上記第1ノード(N3)と上記第2ノード(N4)との間に接続され、上記第3の能動素子(M15)のソース・ドレイン経路は上記第2ノード(N4)と上記第4の入力端子(20)との間に接続され、上記第4の能動素子(M16)のソース・ドレイン経路は上記第2ノード(N4)と上記第3の入力端子(19)との間に接続され、上記出力增幅回路(I5)の入力と出力とはそれぞれ上記第1ノード(N3)と上記出力端子(22)とに接続され、上記第1と上記第2のセルの一方のセル(図3の32)はその外部から、上記第1の入力端子(16)に第1の入力信号(AN)が印加され、上記第2の入力端子(18)に第2の入力信号(BN)が印加され、上記第3の入力端子(19)と上記第4の入力端子(20)と上記第5の入力端子(21)のうちの少なくとも2つの入力端子(19, 20)は上記第1と上記第2の入力信号(AN, BN)の信号と異なる信号((C · D · E)N, Vcc)が印加されてなることを特徴とするものである。

【0010】本発明の具体的な実施形態による半導体集積回路は、上記一方のセル(図3の32)の上記第5の入力端子(19)と上記第6の入力端子(20)と上記第7の入力端子(21)のうちの上記異なる信号((C · D · E)N, Vcc)が印加される少なくとも1つの入力端子(20)は上記第1動作電位供給線(Vcc)と上記第2動作電位供給線(GND)といずれか一方(Vcc)に接続されてなることを特徴とする(図3参照)。本発明のより具体的な実施形態による半導体集積回路は、上記第1動作電位供給線(Vcc)と上記第2動作電位供給線(GND)とは実質的に平行に配置されてなり、上記第1動作電位供給線と上記第2動作電位供給線との間に上記一方のセル(図3の32)の上記第1、上記第2、上記第3、上記第4の能動素子(M13, M14, M15, M16)と上記出力增幅回路(I5)とが配置されることを特徴とする(図3参照)。本発明のより具体的な実施形態による半導体集積回路は、上記一方のセル(図3の32)において、上記第1動作電位供給線(Vcc)および上記第2動作電位供給線(GND)の長手方向と略直交する方向に、上記第1の能動素子(M13)、上記第2の能動素子(M14)、上記第3の能動素子(M15)、上記第4の能動素子(M16)、上記出力增幅回路(I5)を構成する二つの能動素子(Mp, Mn)のそれぞれのゲート電極の長手方向は配置されてなることを特徴とする(図1参照)。本発明のより具体的な実施形態による半導体集積回路は、上記一方のセル(図3の32)において、上記出力增幅回路(I5)を構成する上記二つの能動素子(Mp, Mn)のそれぞれは、そのゲート電極が共通接続され、そのソース・ドレイン経路が並列接続された複数の能動素子からなることを特徴とする(図1参照)。

【0011】本発明の一実施形態による半導体集積回路

の製造方法は、上記第1と上記第2のセルとに実質的に同一の入出力端子位置および内部回路素子配置を電子計算機の記憶手段に予め登録する第1の工程と、上記第1の工程で登録された上記セルの上記入出力端子位置および上記内部回路素子配置を上記記憶手段から読み出し、該読み出した上記セルの外部の信号印加形態を指定する第2の工程と、上記第2の工程で指定された上記セルの外部の信号印加形態に従ってレイアウトパターンを半導体基板上に転写する第3の工程とを含むことを特徴とする(図24参照)。

【0012】

【作用】上述の如き本発明の一実施形態による半導体集積回路によれば、第1のセル(図3の31)と第2のセル(図3の32)とが実質的に同一の内部回路接続および実質的に同一の内部回路素子配置を有していても、それぞれのセル外部での第1の入力端子(15)と、第2の入力端子(16)と、第3の入力端子(17)と、第4の入力端子(18)と、第5の入力端子(19)と、第6の入力端子(20)と、第7の入力端子(21)との複数の入力信号の印加形態を変更するだけで、目的とする種々の論理を実現可能となる。また、この複数の入力信号の独立性が高ければ、より複雑な論理が実現可能となることは言うまでもない。また、セル内部で、出力增幅回路(I5)の入力と出力とはそれぞれ第1ノード(N3)と出力端子(22)とに接続されているため、セルの出力駆動能力を大きくすることが可能となる。また、一方のセル(図3の32)はその外部から、第1の入力端子(15)に第1の入力信号(A)が印加され、第2の入力端子(16)に第1の入力信号(A)と逆相の第2の入力信号(AN)が印加され、第3の入力端子(17)に第3の入力信号(B)が印加され、第4の入力端子(18)に第3の入力信号(B)と逆相の第4の入力信号(AN)が印加されているため、セル内部で入力信号反転用のインバータが省略されている。その結果、セルを小面積とすることも可能となる。

【0013】また、本発明の他の一実施形態による半導体集積回路によれば、セル内部で入力信号反転用の第1と第2のインバータが配置されているので、セル面積は少し大きくなるが、セル外部から相補入力信号を印加する必要が無くなり、その結果セル外部の配線チャネルの面積を低減することができる。

【0014】さらに、本発明の一実施形態による半導体集積回路によれば、セル内部の出力駆動能力向上のための出力增幅回路(I5)に動作電位を供給するための第1動作電位供給線(V<sub>cc</sub>)と第2動作電位供給線(GND)とが配置されている。また、一方のセル(図3の32)はその外部から、第6の入力端子(20)と第7の入力端子(21)とに第1、第2、第3、第4の入力信号(A, AN, B, BN)のいずれかの信号が印加されることによっても、その目的とする論理を実現することができる。しかし、本発明の具体的な実施形態のように、一方のセ

ルの第6の入力端子(20)と第7の入力端子(21)とに第1動作電位供給線(V<sub>cc</sub>)と第2動作電位供給線(GND)のいずれかの固定電位を印加することにより、その目的とする同一の論理を実現することができる。このように、固定電位を印加する場合のほうが、前段回路から一方のセルへの複数の入力信号の印加の駆動負荷が小さくなり、さらに、速度性能を向上することが可能となる。

【0015】本発明のより具体的な実施形態による半導体集積回路は、実質的に平行に配置された第1動作電位供給線(V<sub>cc</sub>)と第2動作電位供給線(GND)との間に一方のセル(図3の32)の第1、第2、第3、第4の能動素子(M13, M14, M15, M16)と出力增幅回路(I5)とが配置されているので、第1動作電位供給線(V<sub>cc</sub>)および第2動作電位供給線(GND)と略直交する配線により一方のセルの第6の入力端子(20)と第7の入力端子(21)とに第1動作電位供給線(V<sub>cc</sub>)と第2動作電位供給線(GND)のいずれかの固定電位を容易に印加することができる。本発明のより具体的な実施形態による半導体集積回路では、第1動作電位供給線(V<sub>cc</sub>)および第2動作電位供給線(GND)の長手方向と、第1の能動素子(M13)、第2の能動素子(M14)、第3の能動素子(M15)、第4の能動素子(M16)、出力增幅回路(I5)を構成する二つの能動素子(M<sub>p</sub>, M<sub>n</sub>)のそれぞれのゲート電極の長手方向との配置が工夫されているので、小さなセル面積を実現できる(図1参照)。本発明のより具体的な実施形態による半導体集積回路では、上記出力增幅回路(I5)を構成する上記二つの能動素子(M<sub>p</sub>, M<sub>n</sub>)のそれぞれは、並列接続された複数の能動素子からなるので、小さなセル面積にもかかわらず、上記出力增幅回路(I5)の出力駆動能力を大きくできる(図1参照)。

【0016】本発明の一実施形態による半導体集積回路の製造方法(図24参照)は、上述の利点を有するセルを含む半導体集積回路の電子計算機支援による設計(CAD)およびこの設計による実際の製造を可能とするものである。本発明のその他の目的と特徴は、以下の実施例から明らかとなろう。

【0017】

【実施例】以上本発明の基本的な構成と作用を説明したが、以下に本発明の実施例を図面に沿って詳細に説明する。

【0018】図1は上述した本発明の基本的な構成を有するセルサイドリに登録された2つのセル例を示すものであり、2つのセルPC3, PC4のそれぞれのセルサイズと端子位置、論理機能、セル内部回路、遅延時間特性を上部に示し、セルPC3の内部回路素子配置(レイアウトパターン)を下部に示している。セルPC4はセルPC3より内部回路素子数が2つ多く、入力信号数が1つ多いことにより、セルPC3より複雑な論理を実

現することが可能となる。図1の下部のセルPC3の内部回路素子配置(レイアウトバーチャル)に示すように、実質的に四角形の形状を有するセルの内部で、第1動作電位供給線( $V_{cc}$ )と第2動作電位供給線(GND)とは実質的に平行に配置され、第1動作電位供給線と第2動作電位供給線との間に、nチャネル型の第1、第2、第3、第4のMOSトランジスタ(M13, M14, M15, M16)と、出力インバータ(I5)を構成するpチャネル型の出力MOSトランジスタ( $M_p$ )およびnチャネル型の出力MOSトランジスタ( $M_n$ )が配置され、出力インバータ(I5)は第1動作電位供給線と第2動作電位供給線とに接続されることにより動作電位が供給され、第1のMOSトランジスタ(M13)のゲート電極は第1の入力端子(15)に接続され、第2のMOSトランジスタ(M14)のゲート電極は第2の入力端子(16)に接続され、第3のMOSトランジスタ(M15)のゲート電極は第3の入力端子(17)に接続され、第4のMOSトランジスタ(M16)のゲート電極は第4の入力端子(18)に接続され、第1のMOSトランジスタ(M13)のソース・ドレイン経路は第1ノード(N3)と第7の入力端子(21)との間に接続され、第2のMOSトランジスタ(M14)のソース・ドレイン経路は第1ノード(N3)と第2ノード(N4)との間に接続され、第3のMOSトランジスタ(M15)のソース・ドレイン経路は第2ノード(N4)と第6の入力端子(20)との間に接続され、第4のMOSトランジスタ(M16)のソース・ドレイン経路は第2ノード(N4)と第5の入力端子(19)との間に接続され、出力インバータ(I5)の入力であるpチャネル型の出力MOSトランジスタ( $M_p$ )およびnチャネル型の出力MOSトランジスタ( $M_n$ )のゲート電極と出力インバータ(I5)の出力であるpチャネル型の出力MOSトランジスタ( $M_p$ )およびnチャネル型の出力MOSトランジスタ( $M_n$ )のドレイン領域とはそれぞれ第1ノード(N3)と出力端子(22)とに接続されている。尚、図1のセルPC3で、第1のインバータの入力と出力を第2の入力端子(16)と第1のMOSトランジスタ(M13)のゲート電極にそれぞれ接続し、第2のインバータの入力と出力を第4の入力端子(16)と第4のMOSトランジスタ(M16)のゲート電極にそれぞれ接続すれば、セル面積は少し大きくなるものの、セルから第1の入力端子(15)と第3の入力端子(18)とを省略することができるとともに、セル外部からの相補入力信号の供給を必要とでき、セル外部の配線チャネル面積を低減することが可能となる。特に、セル内部で、第1動作電位供給線( $V_{cc}$ )と第2動作電位供給線(GND)の方向と直角方向に、nチャネル型の第1、第2、第3、第4のMOSトランジスタ(M13, M14, M15, M16)と、出力インバータ(I5)を構成するnチャネル型の出力MOSトランジスタ( $M_n$ )のチャネル長( $L_1$ )が規定されている。また、出力インバ

タ(I5)の定常電流を低減するためのpチャネル型のMOSトランジスタ( $M_p$ )が配置されているため、出力インバータ(I5)を構成するpチャネル型の出力MOSトランジスタ( $M_p$ )のチャネル長( $L_2$ )は少し上述のチャネル長( $L_1$ )より小さくなっている。また、出力インバータ(I5)の出力駆動能力を大きくするため、pチャネル型の出力MOSトランジスタ( $M_p$ )およびnチャネル型の出力MOSトランジスタ( $M_n$ )はそれぞれ2つのゲート電極が共通接続され、2つのソース・ドレイン経路が並列接続されていることに注意されたい。このように、セルPC3は、nチャネルMOSトランジスタ(M13とM14、あるいはM15とM16)を対にした2分木状に接続した内部回路を用い、この回路接続に対応したマスクバーチャルレイアウトを予め行なっておく(図1下図)。尚、セルPC3には4つのゲート入力端子(15~18)と、3つの開放ドレイン入力端子(19~21)があり、22が出力端子である。これら端子は、例えば、第1層配線と第2層目配線とのスルーホールを用いて形成する(図1下図参照)。この時、セル内部のトランジスタ間の配線は主に第1層目の配線で行なう(図1の下部の”セル内のレイアウトバーチャル”参照)、セル相互間の配線はスルーホールに第2層配線を接続して行なう。第2層配線と交差する横方向の配線は、さらに、第3層配線によって行なうことができる(図3の”セルの配置とセル外の配線”参照)。本セルはMOSFETのドレイン端子(図1の19, 20, 21)が開放となっており、この開放ドレイン端子に対するセル外部からの入力の印加形態を変えることにより、異なった論理出力を得ることができる。開放ドレイン端子(19, 20, 21)への入力の印加形態としては、以下に示す形態がある(図2参照)。すなわち、入力の印加形態は、(1)電源線( $V_{cc}$ )に接続する、(2)接地線(GND)に接続する、(3)他の入力端子(15~21)に与える信号と同一の信号と接続する、(4)他の入力端子(15~21)に与える信号の相補信号と接続する、(5)以上にあてはまらない独立な信号を接続する、である。尚、セルPC4の内部回路素子配置(レイアウトバーチャル)も、セルPC3の内部回路素子配置(レイアウトバーチャル)と同様に構成されることができる。

【0019】図2に示すように、開放ドレイン端子(19~21)に与える信号の印加形態を変化させることにより、様々な論理出力を得ることができる。図2の9つの例では、ゲート入力端子(15, 16, 17, 18)には皆等しくA, AN, B, BNの信号が与えられている(相補信号を末尾にNを加えて示す)。開放ドレイン端子(19~21)への信号の印加形態はそれぞれ異なる。図2のaにおいては開放ドレイン端子19, 21を接地線に接続し、端子20には他の入力信号(15~19, 21)とは独立の信号(C)を与えている。この時、(15)=A, (16)=AN, (17)=B, (18)=BN, (1)

$9) = 0$ 、 $(20) = C$ 、 $(21) = 0$ の条件を、次式で与えられるセルの出力式(図1 "論理機能" 参照)に代入すれば、

$$(22) = (((19)(18)+(20)(17))(16)+(21)(15))N$$
  
出力端子(22)への論理出力を得ることができる。この場合は

$$(22) = ((AN)BC)N$$

となり3入力のNANDの機能が実現できる(但し、A入力は負論理)。また図2のbに示すように、開放ドレイン端子20、21を電源線に接続し、19に他の入力端子とは独立の信号(C)を与えることにより3入力のNORを実現することができる。他の論理機能についても同様である。

【0020】このように、内部回路接続が互いに同一であるとともに単純な2つのセルPC3((31)、(32))を用いて、複雑な論理機能を実現した例を図3に示す。図3に示すように、セルPC3((31)、(32))を2個配置し、2つのセルの電源線( $V_{cc}$ )と接地線(GND)とを共通接続するとともに、セル外部における信号供給配線を異ならせることにより3入力のNANDと3入力のNORが実現できる。この時、セル内の素子配置、およびセル内の配線は当然2つのセルで同一であるから、上からチップを見たときのレイアウトパターンは2つのセルとも同じである(図3の下部の"セル内のレイアウトパターン" 参照)。本実施例のセルPC3の大きな特徴は、3入力のNANDのような単純な論理だけでなく、図2のdに示すように2入力(BN、C)のXORをとつてその出力をさらに第3の信号(A)とNANDをとつて複雑な機能もセル1個により実現できる点である。この場合開放ドレイン端子19は接地線(GND)と接続し、端子20は独立な信号Cと接続し、端子21には信号Cの相補信号を接続する。この同じ論理機能を図5に示すような従来のセルライブラリを用いて実現しようとすると内部回路接続および内部回路素子配置の異なった少なくとも2つのセルOR3、AN3を組み合わせる必要がある。

【0021】一方、図4には内部回路接続および内部回路素子配置が同一である本実施例のセルPC3を2個だけ用いてかなり複雑な論理機能を実現した例を示す。この図4の例では、従来の7個のセルを必要とする論理を、内部回路接続および内部回路素子配置の同一の2個のセルPC3のみにより実現できることを示している。このように、本セルPC3を1個のみ使用することで、複雑な種々の論理機能を実現できるので、複雑な論理機能の論理回路を極めてコンパクトに実現することができる。以上のように、従来の実用的なセルライブラリといえば60個以上のセルを用意する必要があったが、本発明では10個以下の種類のセルでセルライブラリを実現できる。これまで説明してきたPC3(図1参照)の他に、図1のPC4と各種のインバータ回路があれば、従

来の60個のライブラリよりはるかに多くの機能を実現できる。図1のPC4はPC3の端子21にさらに2個のMOSFETを接続したもので、PC3よりもさらに複雑な論理機能を実現できる。従って、これらのセルPC3、PC4により、短時間に高性能な集積回路が実現できる。また、複雑な論理機能をコンパクトに実現できるため、回路の速度、面積、消費電力のいずれも大きく改善することができる。

【0022】尚、図1の本実施例のPC3セルは、Pasternak et alの文献に開示された図5の3入力ORの一部分(M9-M12を接続している部分)を単にセルとして登録し直したものに見えるかもしれない。しかし、これを当業者が着想をするには大きな困難があることを指摘しておきたい。これは、以下に述べる事情による。CADのセルライブラリに登録されるセルとは、上記したようにレイアウト済みの論理回路であり、集積回路全体の論理設計を行なう前に用意するものである。セルのレイアウトは手間暇のかかる作業であるから、論理設計において使用頻度の高い論理機能のセルを選んでセルライブラリを構築するのは当然のことである。従来、使用頻度の高い論理機能とは、1入力INVERTER、2入力もしくは3入力のAND、OR、XOR(あるいは、これらの否定)であり、これらを組み合わせていかにして効率良く集積回路の複雑な論理を構成するかが論理設計者の腕の見せどころである。これに対して、図1の本実施例のPC3セルの論理出力(22)を、入力端子(15~21)の信号の関数としてB001式で表わすと以下の複雑なものとなってしまう(図1 "論理機能" 参照)。

$$(22) = (((19)(18)+(20)(17))(16)+(21)(15))N$$
  
従って、このような複雑な論理機能を有し、使用頻度が低いと考えられる回路をセルライブラリの基本セルとして敢えて用いるには、当業者には相当の抵抗がある。すなわち、セルライブラリを作ることは相当手間暇のかかる作業があるので、その時に、従来の論理設計において使用頻度がほとんどない回路をセルとして登録しようというのは、よほど強い動機付けがないとできるものではない。Pasternak et alの上記文献もスタンダードセルの論理機能としてAND、OR、XORをあげているのは、従来のこの伝統的な考え方を沿っているものである。また、Yano et alの上記文献も、やはりこの伝統的な考え方を沿っている。このYanoは、本発明の発明者の一人であるが、この文献が著作された1990年の時点では2分岐のバストランシスタ回路の内部回路の信号印加接続を部分的に変更するだけで、AND回路がOR回路に変更できることを認識しており、これをこの論文に記している。しかし、部分的にせよ接続変更は必要なのでANDとORという別々のセルが必要であると考えていた。また、ANDやORやXORという別のセルを基本に論理設計を行なうという従来の前提を疑うところま

でには至らなかった。このように論理回路の設計者にとって、ANDやORやXORの別々のセルを使って論理設計を行なうということは、"算数をするのに数字をつかう"のにも似た前提であって、この伝統的な考え方を見直すということは当業者にとって極めて困難であった。これに対して、発明者等は図1のセルPC3を1種類のみ用いることにより、そのセル外部からの入力信号の印加形態を変えるだけで異なる多くの論理機能が実現されることを見出した。これにより、セルの機能はANDやORを基にした判り易いものでなくてはならないという従来の固定観念から脱却して、この2分岐接続回路自体をセルとして登録し、これを基にした論理設計のるべき姿を再構築すべきであるという発想に至ったものである。また、一方、図1の論理機能の異なる複数のセルPC3セルは、内部回路接続および内部回路素子配置が同一であり、セル外部からの入力信号の印加形態のみが異なるので、図1のセルPC3の機能が複雑で分かりにくいという点は、数年前であれば致命的な欠点であった。仮りに、セルライブラリにセルPC3が用意されたと仮定しても、論理設計者はこのようなわかりにくいセルを使おうとはしかったであろう。ところが最近論理自動合成ツール(目的とする論理機能を入力すると、これを実現するセルの接続ネットリストを自動的に出力するツール)が急速に実用化されたため、最適な論理回路を設計する(すなわちセルの接続関係を決定する)のは設計者ではなく、コンピュータが行なうようになりつつある。以上の状況に基づき、セル機能が設計者にとっての判り易いかどうかは、潜在的にはすでに重要ではなくなっていることに本発明者は気がついた。これを基に、長年にわたって用いられてきたAND, OR, XOR, INVERTを基本セルとする集積回路の論理設計の基本を覆す本発明に至ったものである。実際発明者らは、図1のようなセルを組み合わせて任意の論理機能を実現するソフトウェアの開発にも成功している。また、これを用いると、集積回路の面積、速度、消費電力が大幅に改善されることを確認している。

【0023】また、図1のセルPC3の出力部には、增幅回路(インバータ、I5)が設けられている。出力駆動能力の大きなこの增幅回路I5によって、バストランジスタ(M13～M15)のオン抵抗による出力端子(22)の負荷容量依存性が実質的に零となるとともに、セルの出力信号は入力側の開放ドレイン端子(19, 20, 21)に逆に伝わることがなくなる。すなわち、一度入力信号が確定したら、出力信号が変化しても入力信号に影響が及ぶことはない。このため、多くのセルからなる回路全体の遅延時間は、各セルの遅延時間を足しあわせたものとして表わすことができる。従って、セルの遅延時間を出力の負荷容量の関数として予め評価しておけば、全体の遅延時間を極めて短時間に評価することができる。もしも、出力部の增幅回路がない場合には、着目す

るセルの遅延時間がセルの入出力の条件だけでは決まらなくなってしまい、回路全体のアナログ回路としての動作により決定される。従って、回路全体のアナログ回路解析を行なわないと遅延時間が決定できなくなる。これでは、タイミング設計に大きな労力と時間が必要となる。図1の実施例のセルPC3の入出力端子15～21は、配線格子上に置かれている。この配線格子とは、セル相互間の接続配線を配置することのできるチャネルから構成される格子である。例えば、図3では縦方向に第2層配線のチャネルが等間隔で設置されており、横方向に第3層配線のチャネルが等間隔で設置されており、第2層配線と第3層配線とのスルーホールはこの交点に設ける。このような配線格子上に限定された配線については、自動配線ツールにより短時間に面積効率のよい接続を行なうことができる。図1に記したPC3のセル内部回路の接続は第1層配線を用いて行ない、この時には配線格子は意識せず、任意の場所に配線を設置する。これにより、セルの面積を小さくすることができる。入出力端子(15～19)は図3に示すように配線格子上に設置する。開放ドレイン端子(19～21)を同一のセルのゲート端子に接続する場合にもこの配線格子に沿って第2層、および第3層の配線を用いて行なう。これにより自動配置配線を行なうことができ短時間に集積回路が実現できる。以上の例ではセルの入出力端子が一つのスルーホールによって形成される例を示したが、入出力端子は一つの電極で形成することもできる。あるいは2つ以上のスルーホールによって一つの端子を形成することも可能である。

【0024】次に、本発明の実施例による高性能ASI3C(特定用途向け集積回路)を説明する。本ASICでは図1に示す新しいセルを含むセルライブラリを用いて、既に述べたように、図2、3、4に示す様々な論理機能を一つの種類のセルPC3のみを使用して、その信号印加形態の外部配線を種々に行うことにより接続することにより実現することができる。これにより、短時間に高速、高集積、低消費電力の集積回路を実現することができる。本発明のセルを使用して集積回路を設計して製造する工程は、図24に示すようになる。まず、図1に示すPC3, PC4およびその他のセルの属性データ(素子配置、入出力端子位置、動作速度)を集積回路設計支援用の大型電子計算機の補助記憶装置に予め登録する(図24a)。この後、補助記憶装置に登録したセルのデータを読み出し、セルの外部の信号印加形態を指定する(図24b)。これにより、セルの接続関係(ネットリスト)が得られる。次に、このネットリストに基づき、複数のセルのチップ上の位置および配線を指定する(図24c)。次に、これらのレイアウトパターン情報をもとに、パターンを半導体基板上に転写する。この時、光、あるいは電子線あるいはX線リソグラフィ等を用いることができる(図24d)。これにより、集積回

路を製造することができる。

【0025】図1のセルにおける出力の増幅器（15）としては、図6に示すような様々な回路が考えられる。図6aは単純なCMOSインバータである。ただし、通常のCMOSインバータではpMOSのゲート幅をnMOSのゲート幅の1.5倍から2倍程度に設計するのに対し、本発明ではpMOS（M22）よりnMOS（M21）のゲート幅を大きく設定している。これは、ノードN3（図1参照）のローレベルは接地レベルまで下がるが、ハイレベルは $V_{cc} - V_T$ までしか上がらないからである。ここで、 $V_{cc}$ は電源電圧。 $V_T$ はnMOS（M13～M16）のしきい電圧である。従って、このCMOSインバータの論理しきい値を低く設定することにより、出力端子（22）の立上りと立下り時間をおぼ等しくできる。典型的には論理を構成するnMOS（M13～M16、図1）のゲート幅をWとしたとき、nMOS（M21）のゲート幅を2W程度に設定し、pMOS（M22）のゲート幅を1.5W程度に設定する。図6bは、図6aにゲート幅の小さいpMOS（M25）を加えたものである。このpMOSは、インバータM23、M24が出力を放電した後にノードN3を電源電圧まで充電しM24、M23からなるCMOSインバータに定常電流が流れれるのを防ぐことができる。図6cはさらに改良を加えたCMOSインバータである。図6cにおいては、増幅回路の入力端子にゲート幅の小さなpMOS（M29）を具備する点では図6bと同じであるが、M29のゲート端子はM28、M30からなるインバータの出力回路に接続されている点が異なる。この構成は、出力端子を駆動するM26、M27からなるインバータとM29のゲート端子を駆動するM28、M30からなるインバータを独立に設けたものである。これにより、出力端子に大きな負荷容量が接続されている場合にも、M29のゲート端子に対するフィードバックが高速に行われるという利点がある。これにより、この増幅回路の入力端子が短時間のうちに充電／放電が行われるため、消費電力が削減されるという利点がある。

【0026】以上は、図1のPC3と言うセルを例に主に説明したが、同様の動作を行なえるセルの内部回路としては図7、図8に示すものが挙げられる。図7には、本発明に用いるセルの構成を示すものである。このなかで、トリー型論理部は本セルの中心なる論理を構成する部分である。“Y”のような形をした記号は能動素子を少なくとも二つ結合して、2つの入力のうち一つを選択する回路を示している（図7参照）。セル入力は直接トリー型論理部へ接続することもできるが論理変換回路Aや論理変換回路Cのような変換回路を介して入力してもよい。トリー型論理部の出力は論理変換回路Bを介してあるいは直接出力端子へ出力される。ただし、論理変換回路AかBはどちらかに増幅回路を有し、これにより入出力信号の分離を行い、信号を増幅することが望まし

い。

【0027】図8に示すようにトリー型論理部の構成には多くのバリエーションが考えられる。まず“Y”型の記号で示した、二股の枝から一方を選ぶ機能はPC3（図1）のようにnMOSで構成することもできる。図8（a）ではこれをn/n型と表わしている。この場合ゲートを制御する信号としてはcとcNのように相補的な信号が必要となる。図8（a）のn/n一入力型は、セル内部にインバータを設けて、外部の制御信号を1本だけにするものである。これは、セル外の配線を削減できるという利点がある。次のn/p型ではn/n型の一方のnMOSをpMOSとし、ゲートに同一の信号を入力するだけで二つの信号経路のうち一方が選択されるようにしたものである。これは、セル内の配線も簡素である。ただし、この回路は出力端子dに出力される信号の振幅が $V_{cc} - V_{Tn} - V_{Tp}$ （ここで $V_{Tn}$ はnMOSのしきい電圧、 $V_{Tp}$ はpMOSのしきい値電圧である）と小さくなってしまうため、動作速度は遅い。p/p型はn/n型のnMOSをpMOSに変えたものである。C型は、nMOSとpMOSを並列にして出力が電源電圧いっぱいまで振れるようにしたものである。低電圧でも高速に動作するという利点があるが、素子数が多いのが欠点である。また、論理部のトリーの形としては図8（b）に示すようにさまざまなバリエーションが考えられる。このなかから選んだ複数のセルをセルライブラリに登録して、セルライブラリを構成する。このなかで2-1トリーは2入力の論理回路を構成する場合に必要となる。4-1トリーbは3入力以下のすべての論理回路を実現できる。2-1トリーと4-1トリーbはその意味で基本的にありセルライブラリに含まれることが望ましい。4-1トリーbでは開放ドレイン端子につながった二つの“Y”記号の制御信号が独立に制御できるようになっている。これに対して、図1に示したPC4では両者は共通の制御線で駆動されているという違いがある。4-1トリーbの方が構成できる論理機能は多いが、入力端子の数が多いためセル外部の配線により多くの面積を必要とする。図8（b）の6-2トリーは図1のPC3を二つ設けたものであり、セル外部の配線を削減できるという利点がある。

【0028】図1、図7、8のセルを使用して半導体集積回路を設計する場合は、セルの入出力端子の位置を定め、予めそれぞれマスクパターンのレイアウトを行っておき、その上で論理設計を行なう。この場合の論理設計とは、目的の論理機能を実現すべくセル間の接続関係を決める。これは、論理生成ツールにより効率良く行なうことができる。次に、このセルの接続関係（ネットリスト）に基づきスタンダードセル手法によりセルの配置配線を行う。図9には本発明に基づきセルを配置配線した実施例を示す。セルを帯状に並べ、これに並行に配線領域を設け、セル間の配線を行なっている。この図で、セ

ル内部の配線は第1層配線だけでおこなっており、横方向の配線は第2層配線でおこない、縦方向の配線は第3層配線でおこなう。

【0029】本発明の実施例のセルを使用した集積回路では、トランジスタ総数の中でpMOSの占める割合が1/6程度と低い。このため従来のCMOS用のレイアウトをそのまま用いると面積に大きな無駄が生じるという問題点を発明者らは見い出した。この様子を図10、図11に示す。図10に示す様に従来のレイアウト法では、pMOSは常にnMOSと対になっていることを前提とし、pMOS列はnMOS列に沿って平行に並べることが伝統的に行われている。しかし、これでは図11に示すように本発明のセルをレイアウトすると無駄なスペースができてしまう。図9の本実施例ではこれを避けるため、帯状の領域にセルを配置し、この帯状の領域にnMOSの領域とpMOSの領域が交互に現われるよう配置した。より具体的には、各セルのレイアウトは横幅を所定の寸法に決め、上部にnMOSを配置し、下部にpMOSを配置する。論理の複雑なセルはnMOSの個数が多くなるが、その分、縦方向の長さが長くなるように配置する。このようにすることによって、トランジスタ領域の幅がほぼ一定に保たれ、配線領域もほぼ一定となる。従来のように無駄な領域が生じることもないため、セル面積の効率がよい。図9の本論理設計では、論理自動生成ツールを用いることで設計を自動化することができる。論理自動生成ツールは論理機能を入力情報としてセルのネットリストを自動生成する装置である。この論理自動生成ツールに図1のセルライブラリを組み込むことによって、生成される論理回路の性能は大きく改善される。

【0030】以上の実施例ではセル内部の配線を第1層配線で行ない、セル外の配線を第2層と第3層配線を用いて行なう例を示した。実際には、セル内の配線にも第2第3層配線を使ってもよいことはいうまでもない。その場合セル内配線に第2層配線を用いている箇所は、セル外配線として第2層配線が使えないのだけである。また、セル間配線に第1層配線を用いることもできる。ただし、これができるのは、セル内配線にて第1層配線を使っていない場所に限られる。

【0031】本発明によるゲートアレー集積回路の例を以下に示す。上述の実施例のスタンダードセル方式と異なる点は、ゲートアレーにおいてはトランジスタが規則的に配置されており、配線層のみを用途ごとにカスタマイズして集積回路を実現する点である。図12には、本発明によるゲートアレー集積回路の実施例を示す。図12の左側に示したゲートアレー基本セルをチップ全面に敷き詰めておく。この基本セルを1個あるいは複数個用いてトランジスタ間を配線することにより、より複雑な論理機能のセルを実現する。ここでいう基本セルとはあらかじめ敷き詰めてある素子配置の繰返し単位のことを

させており、これまで述べてきたセルライブラリの図1のセルPC3ではなく、図8に示したセルから選んでセルライブラリとして登録しておく。すなわち、図12には8-2トリーセルと4-2トリーセル（図8参照）を接続して全加算器を実現した場合の例を示している。

【0032】本実施例の基本セルは、集積回路を効率よく実現するために特に考えられたものである。ゲートアレーでは予め基本セルが決定されているため、配線層の設計と製造を行うだけで短時間に集積回路を実現できるが、基本セルが固定されているため、決められたサイズのトランジスタしか用いることができないという制限がある。一方、図1から明らかなように図1のセルPC3、PC4ではnMOSの個数がpMOSの個数に比べておよそ5倍も多く必要である。従って、図13に示すような従来の基本セルを用いるとpMOS部分は使用されずに残る。従って、面積の無駄が大きい。さらに、ゲート幅の小さなpMOS（図6bのM25）を実現できないため、大きなpMOSを代わりに用いなければならない。このため図6bの入力端子を放電するのが困難になるという問題がある。このため動作が不安定になり、動作速度が遅くなってしまう。また、CMOSインバータのpMOSとnMOSとの比率を最適に設計できないためさらに動作速度が遅くなるという問題がある。本実施例の基本セル（図12の左部分）はこのような発明者らの解析に基づき考えられたものである。このゲートアレーの基本セルはゲート幅の大きなnMOSが6個、ゲート幅の大きなpMOSが2個、ゲート幅の小さなpMOSが1個からなる。この基本セルを用いると、基本セル中のnMOSとpMOSとの比率が図1のセルPC3におけるnMOSとpMOSの比率とほぼ一致するため面積の無駄がない。さらに、2個のnMOSを並列に接続したものと2個のpMOSを並列に接続したものを用いて増幅部のCMOSインバータを構成することにより図6に示した最適（高速動作可能な）なゲート幅になるように決めている。さらに、ゲート幅が小さいpMOSを基本セル上に予め搭載することにより、図6bのM25のpMOSを実現することができる。従って、待機時の消費電流を小さくすることが可能となる。図13に示す従来の基本セルでは、このようなゲート幅の小さなpMOSは作れない。従って待機時の消費電力は大きくなってしまう。

【0033】さらに、図12に示した基本セルを用いると、SRAMのメモリセルが面積効率良く実現できる。図14には、このようなSRAMのメモリセルを本発明の基本セル上に実現した例を示す。ゲートアレー上に高集積のSRAMを実現することにより、メモリと論理回路が同一のチップ上に搭載された高性能なシステムLSIが短期間に実現できる。図12左図の基本セルがSRAMを搭載するのに適する理由を以下に説明する。

50 SRAMのメモリセルは図14に示すような回路が最も

よく用いられている。明らかなように、n MOSが4個、p MOSが2個からなる。このうち、記憶保持用の駆動トランジスタであるn MOS(M2, M3)は転送トランジスタのn MOS(M1, M4)の2倍程度のゲート幅に設計するのが普通である。これは、読み出し時に、記憶している情報が消えないようにするためである。このことから、1つの駆動トランジスタは実際には2つのn MOSの並列接続で構成されているので、実質的にはn MOSが6個、p MOSが2個必要である。これは図23の基本セルの構成(n MOS 6個、大きいp MOS 2個、小さいp MOS 1個。小さいp MOSはSRAMには使わない)と良く合致し、図14に示す様に1つの基本セルで1ビット分のSRAMメモリセルが効率的に実現できる。これに対して、従来のCMOS用のゲートアレー基本セルを用いると2倍以上の大きな面積を要する。これより、同一面積で比較すると図12の基本セルを用いることにより2倍の記憶容量のSRAMが実現できる。従って大容量のSRAMと、高性能でコンパクトな論理回路が同一チップ上に集積化されたLSIが実現できる。

【0034】図12の他にも、本ディジタル回路の設計法に適したゲートアレー基本セルとしては図15に示すものが考えられる。図15の構成は図12の構成とほぼ同じである。異なる点は、n MOSの個数が2個多くなった点と、小さなp MOSが2個搭載された点である。本基本セル一個で1ビット分の2ポートRAMのメモリセルが実現できる。これを図16に示す。

【0035】また、別のゲートアレー基本セルの例を図17に示す。この基本セルの特徴は、論理用のn MOSとインバータ用のn MOSおよびp MOSとのドレイン電流の流れる方向が90度回転している点である。インバータ用のn MOSとp MOSとのゲート同士が近くに配置されているため、CMOSインバータが構成しやすいという特徴がある。また本基本セルの別の特徴として、論理トリーとなる2つのn MOSのゲートが予めゲート電極で接続されているという特徴がある。このため図8bの8-2トリーに示すような2つのトリーが対になったセルを効率良くレイアウトできるという特徴がある。図18には6-2トリー(図8b)を基本セル一個にレイアウトした例を示す。さらに、図8bの6-4トリーに示すような同一のトリーから二つの出力端子を取り出すようなセルも1基本セルで実現できるため、やはり面積効率がよい。本セルも大きなn MOSと小さなn MOS、小さなp MOSを含むため効率良くSRAMメモリセルが構成できる。一基本セルによって2ビット分のメモリセルを実現できる。

【0036】次に、図1または図8のセルライブラリを用いて8ビット×8ビットの乗算を行う乗算器を実現した例を説明する。図19には本乗算器の全体接続図を示す。構成は従来から知られたキャリーセーブアダ方式

である。本乗算器では信号線をすべて相補的に(すなわち、信号とその反転した信号の対により信号を伝達する)構成している。これは、トリーを構成するn MOS対のゲート端子には反転した信号が入力されるので、この反転信号をインバータ回路を用いて生成する方が高速に動作するからである。この様な反転した2つの信号を生成しても、回路規模は2倍にはならない。これはその信号と反転信号を生成する回路の間で共有化できる部分があるからである(図21の4-2トリーb参照)。

10 20 30 40 50

この乗算器の中で多用しているのが図20に示す部分積生成回路付き全加算器(PFA)と図21に示す2ビット加算器(ADD)である。図20の部分積生成回路付き全加算器では4-1トリーcと4-2トリーcを2個用いて論理機能を実現している。この論理機能は図20の下図に示す。この部分積生成部付全加算器は、乗算器の部分積の生成と1ビットの加算を一段で高速に行う様にしたものである。図21の2ビット加算器では4-2トリーd、4-2トリーb、6-4トリーを用いて2ビットの加算器を構成している。下位ビットからのキャリー信号Cおよびその反転信号CNが入力されてから上位ビットへのキャリー信号が生成される時間を特に短くするように考えられたものである。本実施例では相補的な信号を出力するセルが用いられている(上記PFA, ADD)。これらにおいては図6に示す出力回路に換えて図22の回路を用いることができる。XおよびXNはこの出力回路への入力信号である。たとえば、Xがローからハイへと変化し、XNがハイからローへと変化する場合を考える。Xは前段のn MOSのバストランジスタによって駆動されているためVcc-Vtまでしか上がらない。この時XNはローとなるのでM35はオン状態となる。このため、結果としてXの電位はVccまで上昇する。従ってM31, M32のインバータには定常電流はほとんど流れない。この回路では、相補的な信号を使っているため、フィードバック信号を出力端子から取り出す必要がなく、p MOS(M35, M36)が早いタイミングでオン状態となる。このため、低電圧でも高速動作が可能であるという特徴がある。

【0037】図23は、図1の実施例のセルを用いたマイクロプロセッサの構成の一例を示すものである。アドレスによるアクセスによってメインメモリから命令フェッチユニットでフェッチされた命令は命令デコーダでコードされ、デコード結果による制御信号に従ってALU、汎用レジスタ、乗算器が制御されることにより命令が実行される。特に、図1に示したセルは、命令デコーダ等のランダム論理にもALU等のデータバスにも同様に適用できる。図1に示したセルを適用することによってマイクロプロセッサはよりコンパクトにでき、かつ高速動作が可能となる。したがって、このマイクロプロセッサを用いた各種装置の高性能化、小型化に大きな効果がある。次に、先の実施例に記したゲートアレーリよりも

さらに短時間に高性能な集積回路を実現する方法を開示する。あらかじめ、図1のPC3（あるいはPC4）をアレー状にチップに敷き詰めておく。この後、用途に応じて、PC3の接続ネットリストを決定し、これに従って第2層、第3層の配線を作製して目的の集積回路を得る。この方法では、論理設計（ネットリストの決定とセル間配線の決定）後、第2層と第3層の配線を行なうだけで集積回路を実現することができる。従来のゲートアレーにより同等のものを作製するには、第1層、第2層、第3層の3層の配線を行なう必要があったが、本発明では、2層の配線だけで済む。このため、短時間に集積回路を実現することができる。これが可能なのは、図2に示すようにセルPC3（あるいはPC4）が極めて多機能であり、1種類のセルで十分な論理機能が実現できることに起因している。

## 【0038】

【発明の効果】本発明によれば、短時間に、高速で高集積な集積回路が実現できる。論理回路のトランジスタ数は従来のCMOS回路の約1/2程度にできる。このため、集積回路の面積が従来よりも小さくできる。消費電力も小さくなる。また、同一面積では、より多くの回路が集積化できる。これよりより多くの機能を実現することができ、さらに並列処理の活用により高速化を達成できる。本発明の集積回路では、回路のクリティカルバスの回路段数が削減でき、このためさらに高速動作が可能となる。また、回路一段あたりの遅延時間も高速なので、やはり高速動作が可能となる。従って、本発明を用いることによって、高密度で高速なデジタル集積回路が実現できる。とくに、これを特定用途向け集積回路（ASIC）に適用するとコンパクトで高速なゲートアレー、スタンダードセル集積回路、セルベース集積回路等が実現できる。また、高性能なマイクロプロセッサ、マイクロコントローラ、信号処理LSI、メモリ等が実現できる。また、本発明を用いると論理回路とSRAMを効率良くゲートアレー上に搭載できるため、短い開発期間で高性能なシステムLSIを実現できる。また、本発明のセルライブラリではセルの数が少なくてよいため、セルライブラリを準備するのに必要な時間が従来より短縮される。このためゲートアレーやスタンダードセル集積回路において、最新の微細加工技術を適用でき、これまた高集積化、高速化に適する。これらより、集積回路、およびこれを用いたシステムの性能を大きく改善することができる。以上より本発明の産業的な価値は極めて大きい。

## 【図面の簡単な説明】

【図1】本発明の実施例によるセルを含むセルライブラリを示す図である。

【図2】本発明の実施例によるセルにより実現できる論理機能の例を示す図である。

## 【図3】本発明の実施例によるセルを2個を用いて簡単

な論理機能を実現した図である。

【図4】本発明の実施例によるセルを2個を用いて複雑な論理機能を実現した図である。

【図5】従来のバストランジスタ回路をセルとして用いたセルライブラリを示すとともに、このセルを用いて簡単な論理機能を実現した例を示す図である。

【図6】本発明の実施例によるセルに用いる出力インバータを示す図である。

【図7】本発明の実施例によるトリー型論理部を有するセルを用いた集積回路を示す図である。

【図8】本発明の実施例によるトリー型論理部を有するセルの構成を示す図である。

【図9】本発明の実施例によるセルをスタンダードセルとして配置配線した例を示す図である。

【図10】従来のCMOSスタンダードセルの配置配線を示す図である。

【図11】従来の配置配線の手法に沿って本発明のセル内部回路を配置した場合の配置配線の構成を示す図である。

20 20 【図12】本発明の実施例によるトリー型論理部を有するセルをゲートアレー基本セルとして用いた場合のレイアウト図である。

【図13】従来のCMOSゲートアレーの基本セルのレイアウト図である。

【図14】図12の基本セルを用いてSRAMのメモリセルを構成した場合のレイアウト図である。

【図15】本発明の実施例による他のゲートアレー基本セルの構成を示す図である。

30 30 【図16】図15の基本セルを用いて2ポートSRAMメモリセルを構成した場合のレイアウト図である。

【図17】本発明の実施例による他のゲートアレー基本セルの構成を示す図である。

【図18】図17のゲートアレー基本セルを用いて6-2トリーセルを構成した場合のレイアウト図である。

【図19】本発明の実施例によるトリー型論理部を有するセルを使用した8×8ビット乗算器を示す図である。

【図20】図19の乗算器に使用する部分積生成部付全加算器の構成を示す図である。

40 40 【図21】図19の乗算器に使用する2ビット加算器の構成を示す図である。

【図22】本発明の実施例によるセルの出力信号が相補的な場合に使用できる出力回路の構成を示す図である。

【図23】本発明の実施例によるセルを使用したデータ処理装置の構成を示す図である。

【図24】本発明の実施例によるセルを使用した集積回路の製造方法の概略を示す図である。

## 【符号の説明】

M1～36：MOSFET、N1、N2：内部ノード、

V<sub>cc</sub>：電源電圧、GND：接地電位。

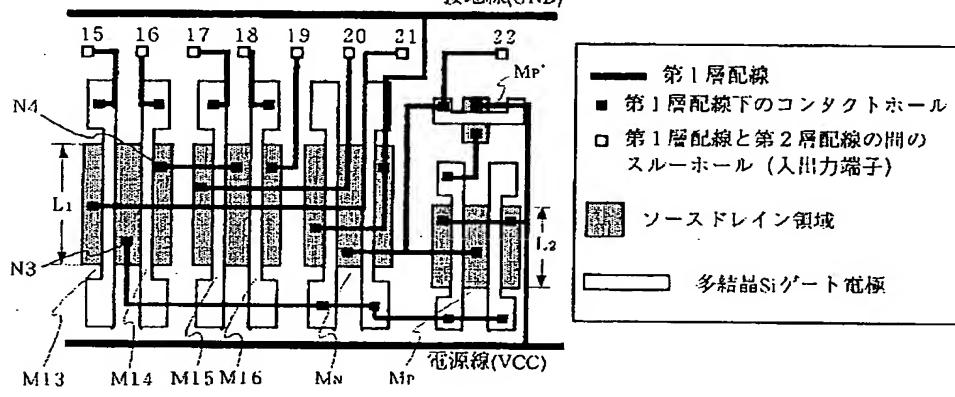
【図1】

図1  
本発明のセルライブアリ

セル名	PC3	PC4
セルサイズ 端子位置		
論理機能	$(22) = [(19)(18) + (20)(17)(16) + (21)(15)]N$ 但し、(17)と(18)、(15)と(16)には互いに相補的な信号を与えるという制限付	$(31) = [(24)(26)(27) + (25)(28)] + (23)(26)(29) + (25)(30)]N$ 但し、(23)と(24)、(25)と(26)は互いに相補的な信号であるという制限付
セル内部 回路		
遅延時間 $t_0$	150ps	200ps
$t = t_0 + k C$	$500 \text{ps/pF}$	$500 \text{ps/pF}$

to: 無負荷遅延時間、k:等価出力抵抗

接地線(GND)



PC3セル内部のレイアウトパターン

【図15】

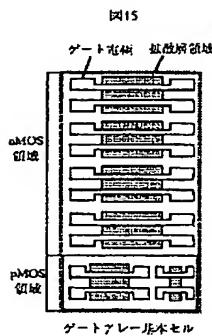
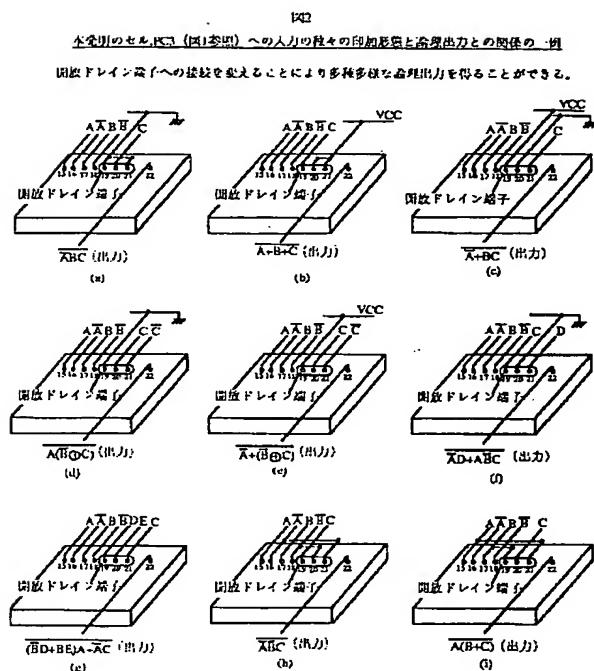
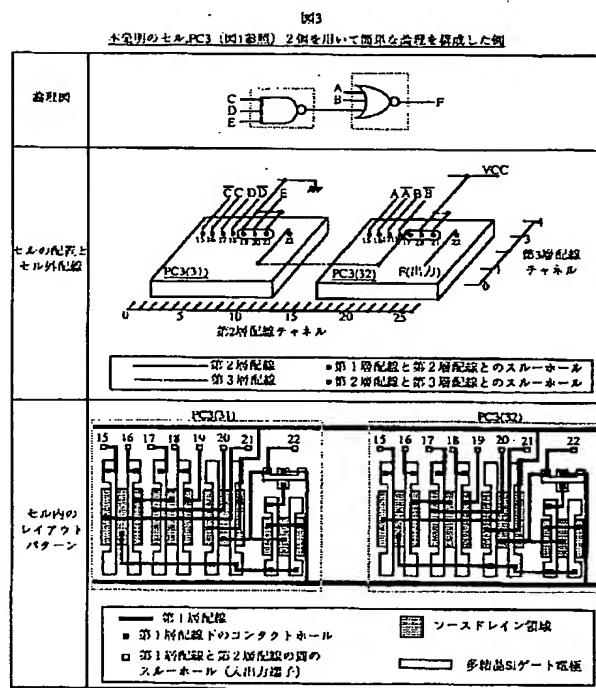


図15

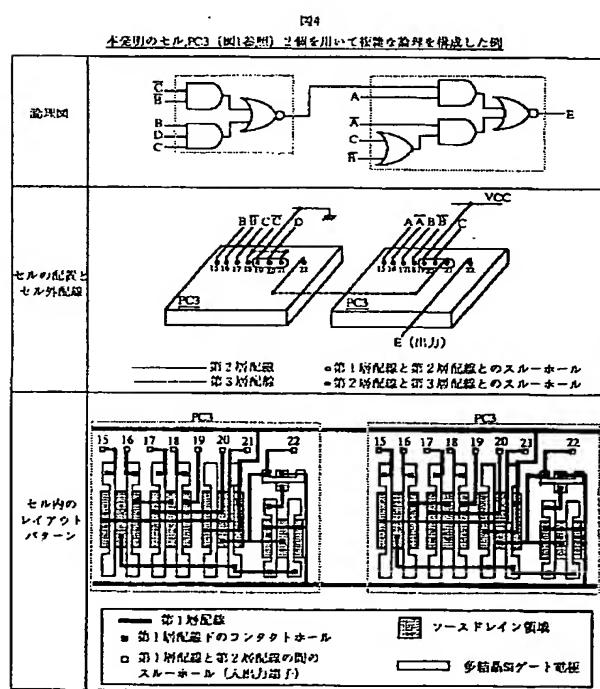
【図2】



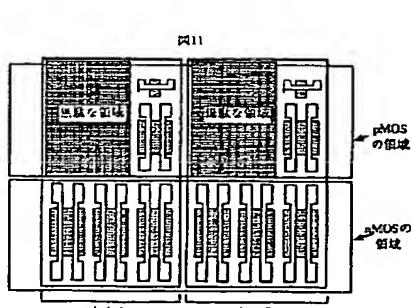
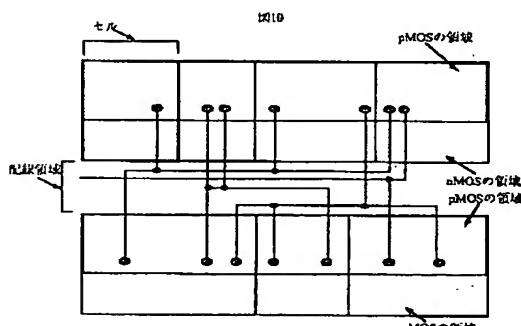
【図3】



【図4】



【図10】



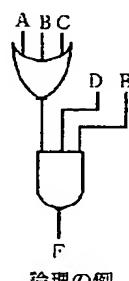
【図5】

図5

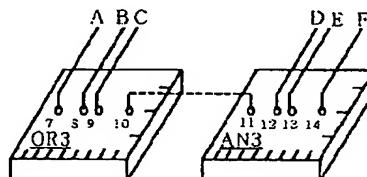
従来 (Pasternakら) のセルライブリ (の一部) を具体的に示したもの

セル名	AN2	OR2	AN3	OR3
セルサイズ 端子位置				
論理機能				
	$(3) = (1)(2)$	$(6) = (4) + (5)$	$(10) = (7)(8)(9)$	$(14) = (11) + (12) + (13)$
セル内部回路 実際にはこの回路を実現するマスクレイアウトが定められている				
遅延時間	$t_0$ $t = t_0 + k \cdot C$	$***ps$ $***ps/F$	$***ps$ $***ps/F$	$***ps$ $***ps/F$

to: 無負荷遅延時間、k: 等価出力抵抗



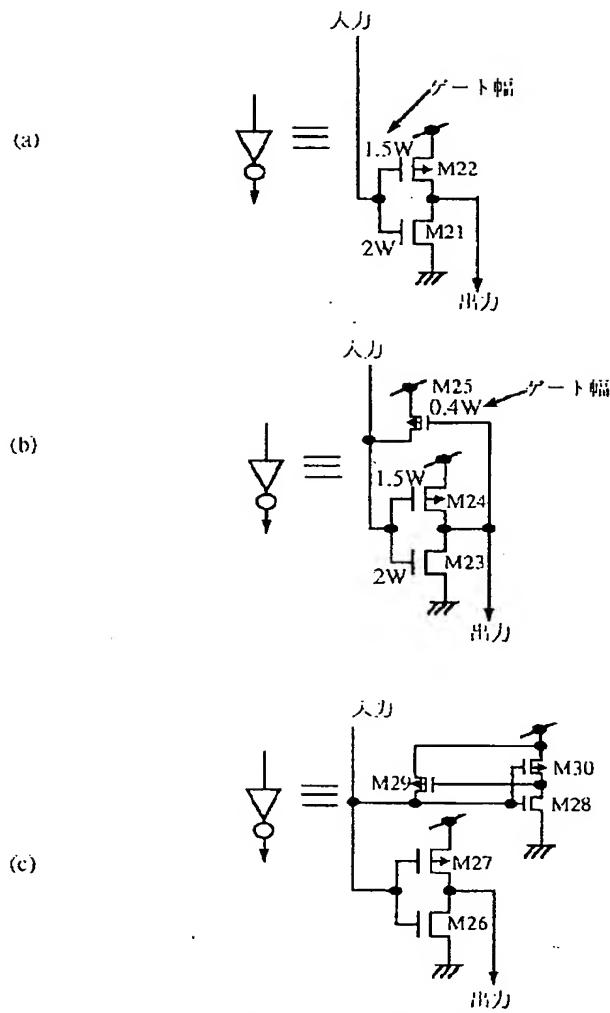
論理の例



左図の論理を実現するためセルを配置配線した例

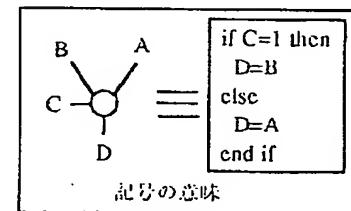
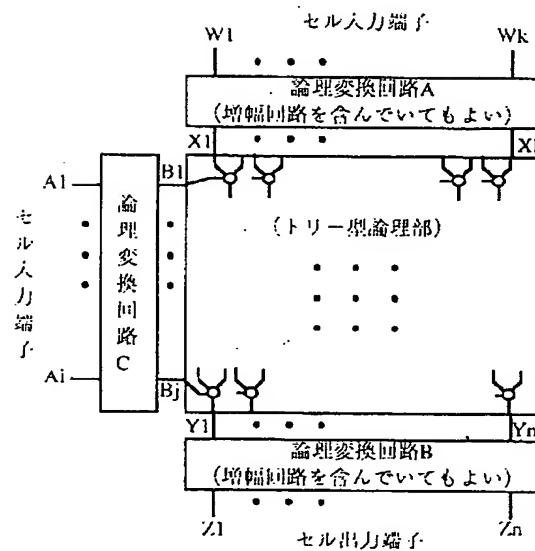
【図6】

図6

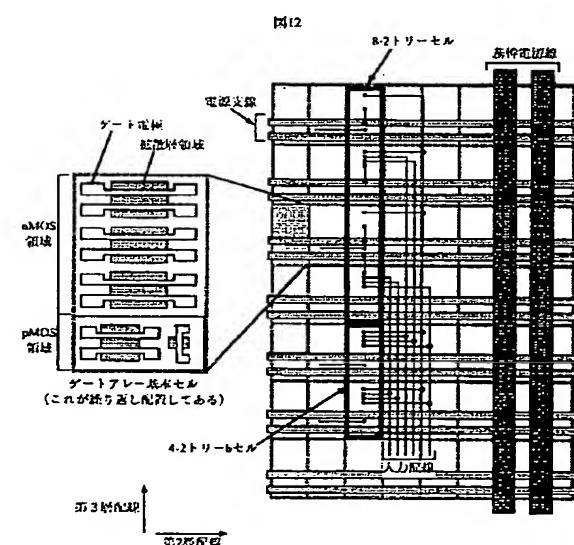


【図7】

図7



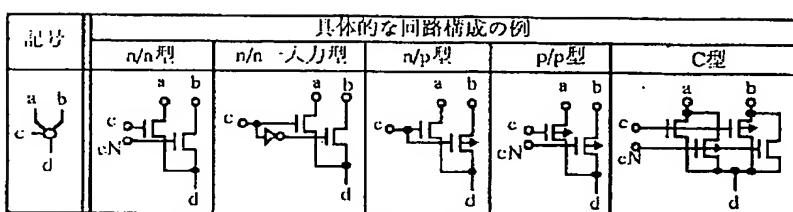
【図12】



【図8】

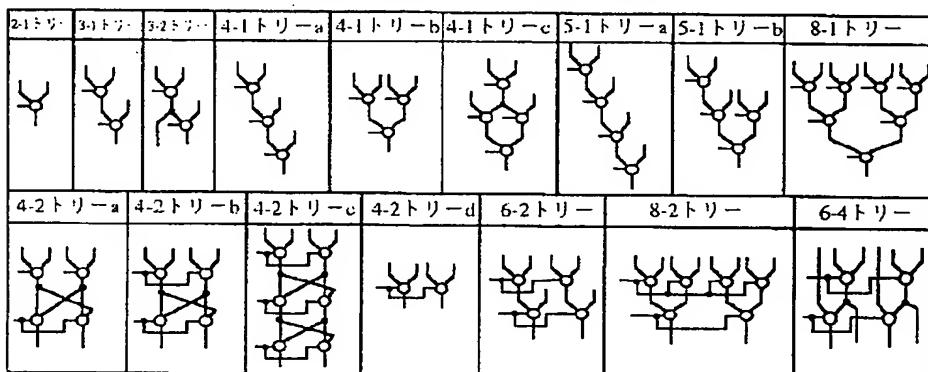
図8

(a)

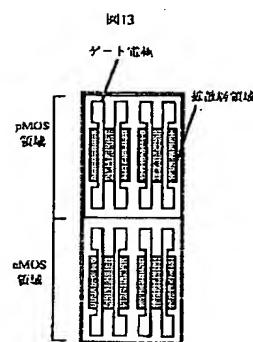


(b)

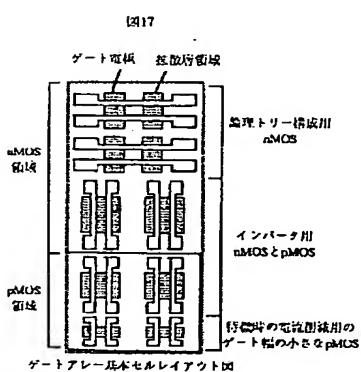
トライ論理部の構成例（記号の意味は上図参照）



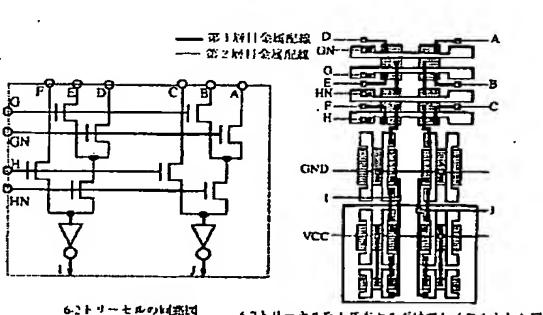
【図13】

拡散のゲートアレー基本セル  
(これが繰り返し配列してある)

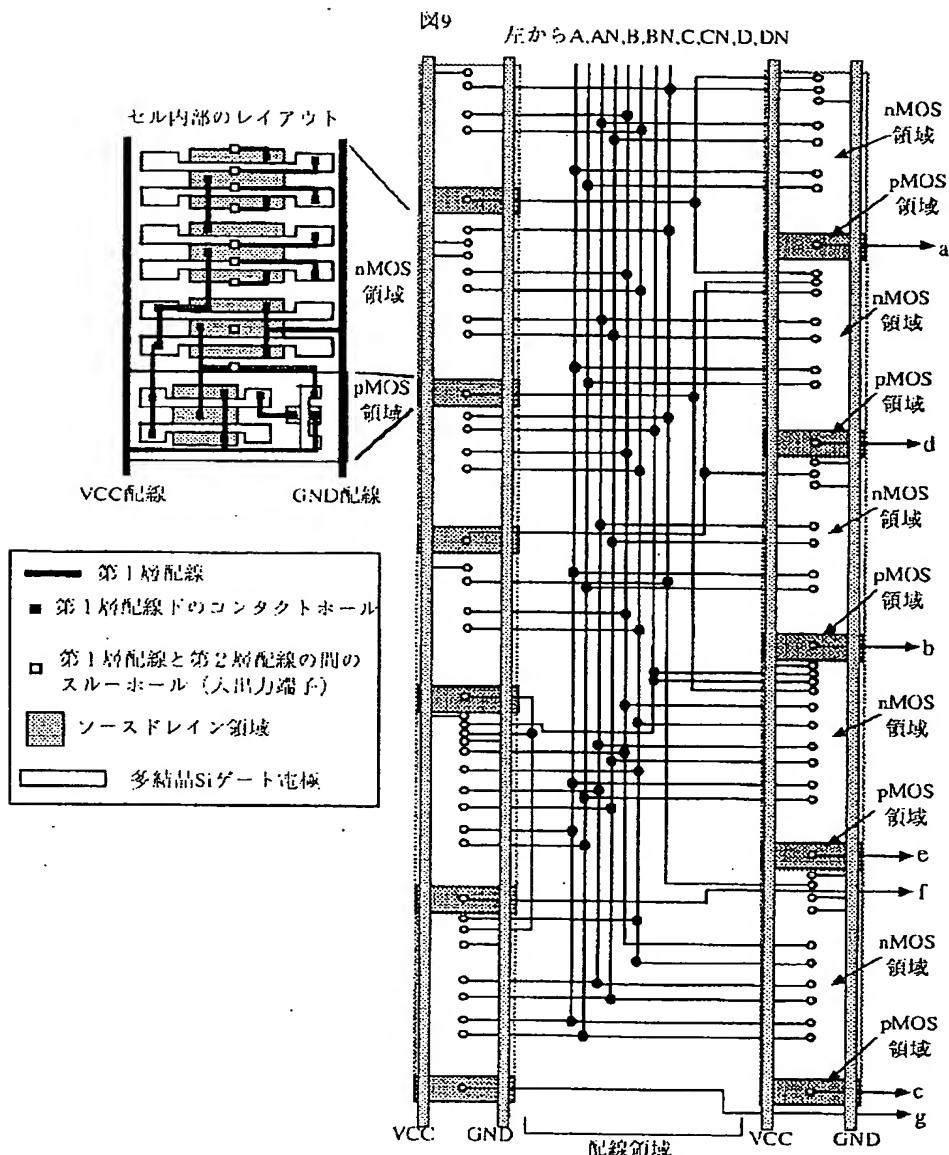
【図17】



【図18】

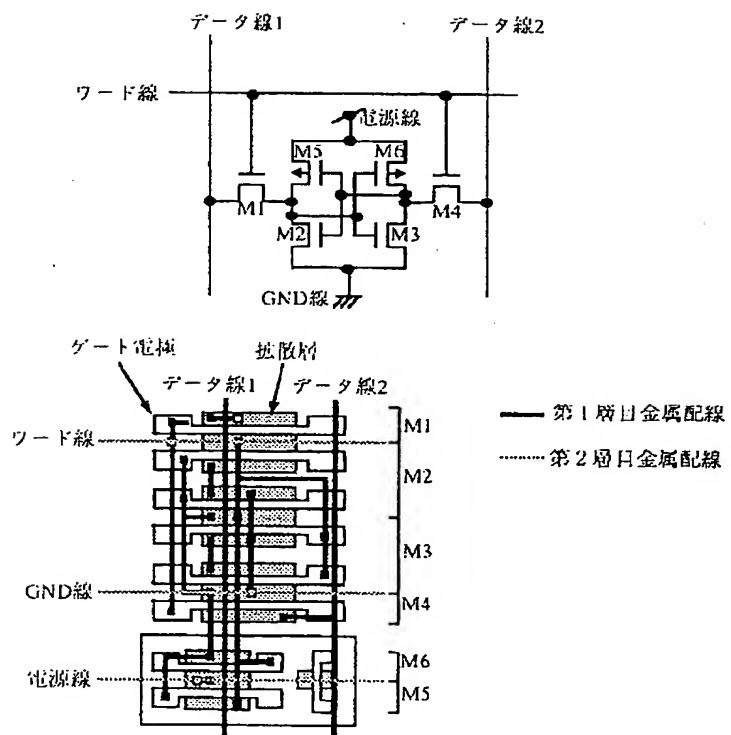


【図9】



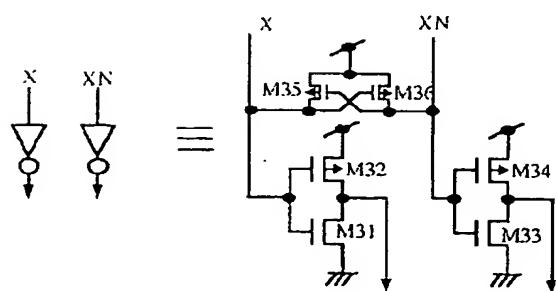
【図14】

図14



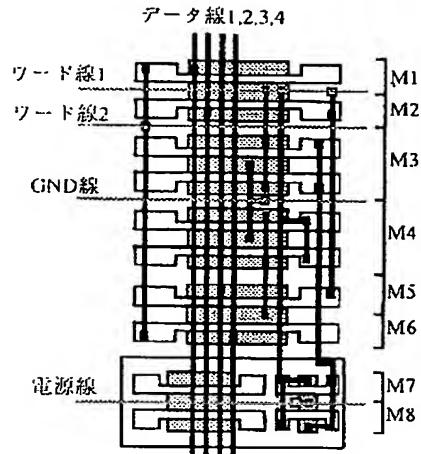
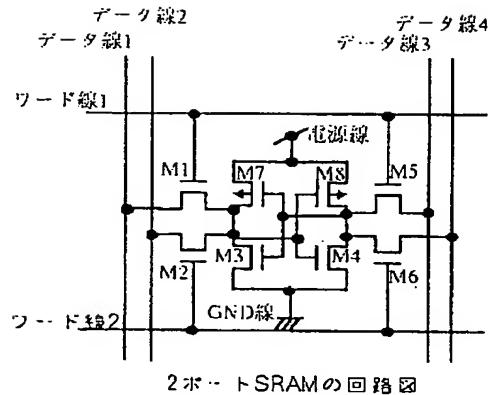
【図22】

図22



【図16】

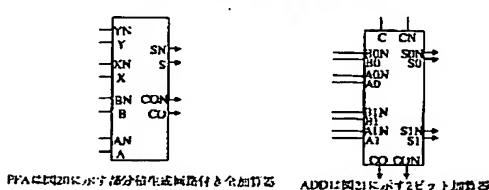
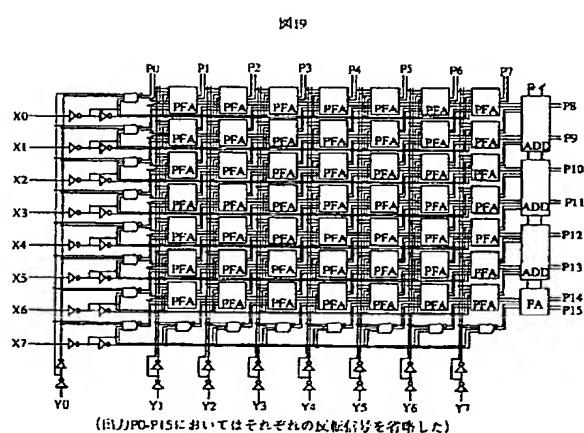
図16



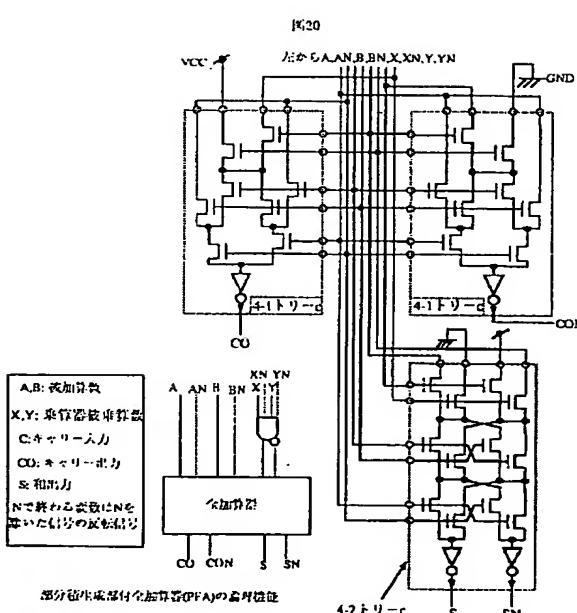
—— 第1層目金属配線

…… 第2層目金属配線

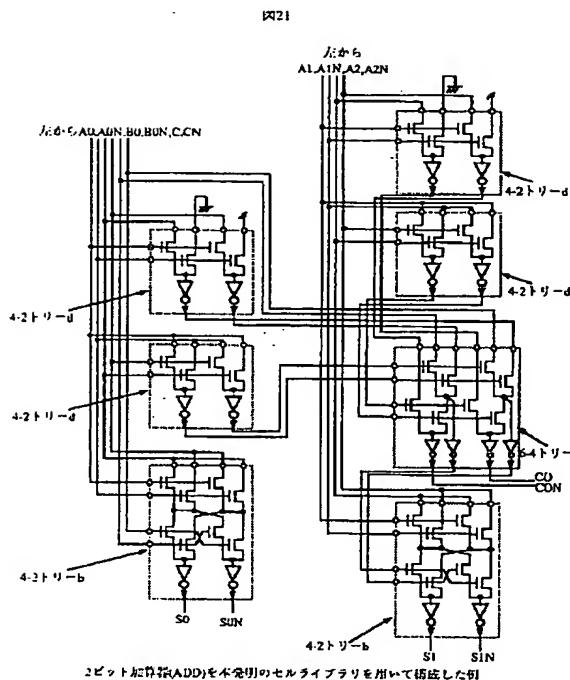
【図19】



【図20】



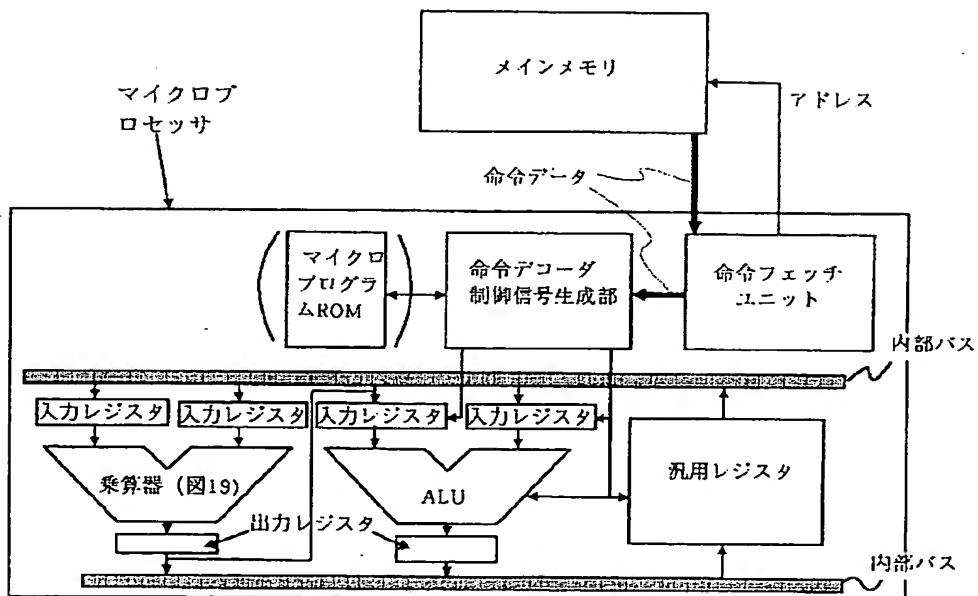
【図21】



【図23】

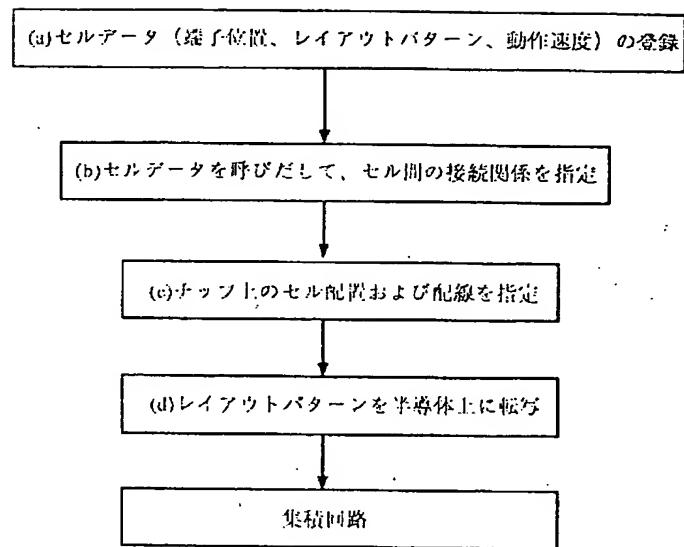
図23

マイクロプロセッサに本発明を適用した例



【図24】

図24



【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第7部門第2区分  
【発行日】平成13年4月6日(2001.4.6)

【公開番号】特開平7-130856  
【公開日】平成7年5月19日(1995.5.19)  
【年通号数】公開特許公報7-1309  
【出願番号】特願平5-278055  
【国際特許分類第7版】  
H01L 21/82  
【F1】  
H01L 21/82 B

【手続補正書】

【提出日】平成11年10月13日(1999.10.13)

【手続補正1】

【補正対象書類名】明細書  
【補正対象項目名】特許請求の範囲  
【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】複数のセルを含む半導体集積回路であつて、  
上記セルの少なくとも一つは第1、第2、第3及び第4の能動素子と、第1及び第2のノードと、第1、第2、第3、第4、第5、第6及び第7の入力点と、出力点と、第1及び第2の拡散層領域とを有し、

上記第1の能動素子の第1のゲート電極は、第1の信号が入力される上記第1の入力点と接続され、

上記第2の能動素子の第2のゲート電極は、第2の信号が入力される上記第2の入力点と接続され、

上記第3の能動素子の第3のゲート電極は、第3の信号が入力される上記第3の入力点と接続され、

上記第4の能動素子の第4のゲート電極は、第4の信号が入力される上記第4の入力点と接続され、

上記第1の能動素子のソース・ドレイン経路は、上記第1のノードと上記第7の入力点との間に接続され、

上記第2の能動素子のソース・ドレイン経路は、上記第1のノードと上記第2のノードとの間に接続され、

上記第3の能動素子のソース・ドレイン経路は、上記第2のノードと上記第6の入力点との間に接続され、

上記第4の能動素子のソース・ドレイン経路は、上記第2のノードと上記第5の入力点との間に接続され、

上記第1のノードは、上記出力点に接続され、

上記第1の拡散層領域は、上記第1のゲート電極と上記第2のゲート電極との間に挟まれた第1の領域と、上記第1のゲート電極と上記第2のゲート電極との間に挟まれていない第2及び第3の領域とを含み、

上記第2の拡散層領域は、上記第3のゲート電極と上記

第4のゲート電極との間に挟まれた第4の領域と、上記第1のゲート電極と上記第2のゲート電極との間に挟まれていない第5及び第6の領域とを含み、

上記第1のノードは、上記第1の領域に接続され、  
上記第2のノードは、上記第2の領域と上記第4の領域とに接続され、

上記第5の入力端子は、上記第5の領域に接続され、  
上記第6の入力端子は、上記第6の領域に接続され、  
上記第7の入力端子は、上記第3の領域に接続されたことを特徴とする半導体集積回路。

【請求項2】請求項1記載の半導体集積回路において、  
上記第2の信号は上記第1の信号と逆相であり、上記第4の信号は上記第3の信号と逆相であることを特徴とする半導体集積回路。

【請求項3】請求項2記載の半導体集積回路において、  
上記セルの少なくとも一つはさらに第1及び第2のインバータとを有し、

上記第1のインバータの入力と出力とは、上記第1の入力点と上記第2の入力点とにそれぞれ接続され、  
上記第2のインバータの入力と出力とは、上記第3の入力点と上記第4の入力点とにそれぞれ接続されたことを特徴とする半導体集積回路。

【請求項4】請求項1記載の半導体集積回路において、  
上記第1の拡散層領域及び上記第2の拡散層領域の少なくとも一部は、第1動作電位供給線と第2動作電位供給線との間に配置されることを特徴とする半導体集積回路。

【請求項5】請求項4記載の半導体集積回路において、  
上記第1動作電位供給線と上記第2動作電位供給線とは実質的に平行に配置され、

上記第1動作電位供給線及び上記第2動作電位供給線の長手方向に、上記第1の拡散層領域と上記第2の拡散層領域とは並置されたことを特徴とする半導体集積回路。

【請求項6】請求項4記載の半導体集積回路において、  
上記第1、第2、第3、第4、第5、第6及び第7の入力点は、上記第1動作電位供給線あるいは上記第2動作

電位供給線と上記第1の拡散層領域及び上記第2の拡散層領域との間に配置されたことを特徴とする半導体集積回路。

【請求項7】請求項4記載の半導体集積回路において、上記第5、第6及び第7の入力点の少なくとも一つは、上記第1動作電位供給線または上記第2動作電位供給線に接続されたことを特徴とする半導体集積回路。

【請求項8】第1辺と第2辺とにより定義される実質的に四角形の形状を有する複数のセルを含む半導体集積回路であって、上記セルの少なくとも一つは第1導電型チャネルの第1、第2、第3及び第4の能動素子と、第1導電型チャネルの第5の能動素子と第2導電型チャネルの第6の能動素子とを有する出力增幅回路と、第1及び第2のノードと、第1、第2、第3、第4、第5、第6及び第7の入力点とを有し、

上記第1の能動素子のゲートは、第1の信号が入力される上記第1の入力点と接続され、

上記第2の能動素子のゲートは、第2の信号が入力される上記第2の入力点と接続され、

上記第3の能動素子のゲートは、第3の信号が入力される上記第3の入力点と接続され、

上記第4の能動素子のゲートは、第4の信号が入力される上記第4の入力点と接続され、

上記第1の能動素子のソース・ドレイン経路は、上記第1のノードと上記第7の入力点との間に接続され、

上記第2の能動素子のソース・ドレイン経路は、上記第1のノードと上記第2のノードとの間に接続され、

上記第3の能動素子のソース・ドレイン経路は、上記第2のノードと上記第6の入力点との間に接続され、

上記第4の能動素子のソース・ドレイン経路は、上記第2のノードと上記第5の入力点との間に接続され、

上記第1のノードは、上記第5の能動素子のゲートと上記第6の能動素子のゲートとに接続され、

上記第5の能動素子のドレインは、上記第6の能動素子

のドレインと接続され、上記セルは、上記第6の能動素子が形成される第1導電型領域と上記第1、第2、第3、第4及び第5の能動素子が形成される第2導電型領域とを有し、

上記第1導電型領域と上記第2導電型領域とは上記セルの上記第2辺に沿って並置され、

上記第1導電型領域の上記第1辺に沿った方向での幅と上記第2導電型領域の上記第1辺に沿った方向での幅とは等しく、

上記第2導電型領域の上記第2辺に沿った方向での幅は上記第1導電型領域の上記第2辺に沿った方向での幅よりも大きいことを特徴とする半導体集積回路。

【請求項9】請求項8記載の半導体集積回路において、上記第2の信号は上記第1の信号と逆相であり、上記第4の信号は上記第3の信号と逆相であることを特徴とする半導体集積回路。

【請求項10】請求項9記載の半導体集積回路において、

上記セルの少なくとも一つはさらに第1及び第2のインバータとを有し、

上記第1のインバータの入力と出力とは、上記第1の入力点と上記第2の入力点とにそれぞれ接続され、

上記第2のインバータの入力と出力とは、上記第3の入力点と上記第4の入力点とにそれぞれ接続されたことを特徴とする半導体集積回路。

【請求項11】請求項8記載の半導体集積回路において、

上記第1、第2、第3、第4及び第5の能動素子はnチャネル型のMOSトランジスタであり、

上記第6の能動素子はpチャネル型のMOSトランジスタであることを特徴とする半導体集積回路。

【請求項12】トリー型論理を構成するバストランジスタ回路を有するセルを複数配置して構成されたことを特徴とする半導体集積回路。